

耐NBTI設計技術

マージン不良最小化技術

方式1: チップ内電圧モニタリングによる予知診断

方式2: チップ内加速試験による予知診断

不良予知診断技術

方式1: ディペンダブル(QoB) SRAM による不良回避

方式2: 電圧制御による不良回避(不揮発メモリ組み合わせ技術)

不良回避技術

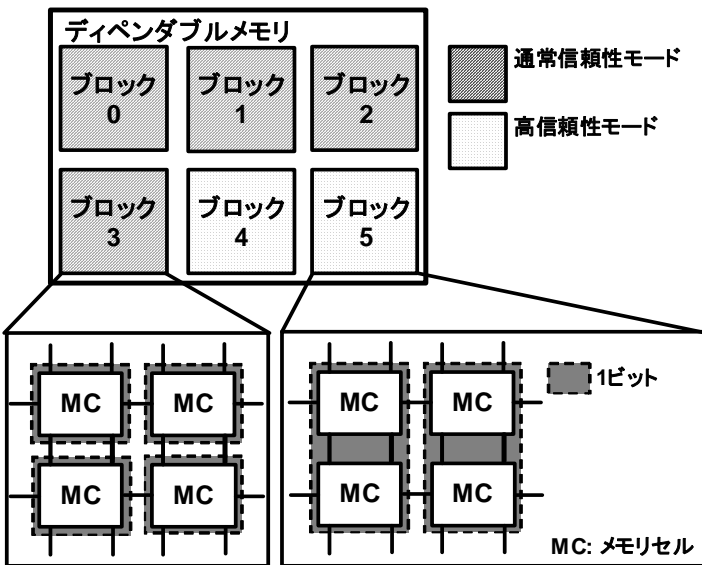
Virtualizationによる車載応用検証

システムレベル検証

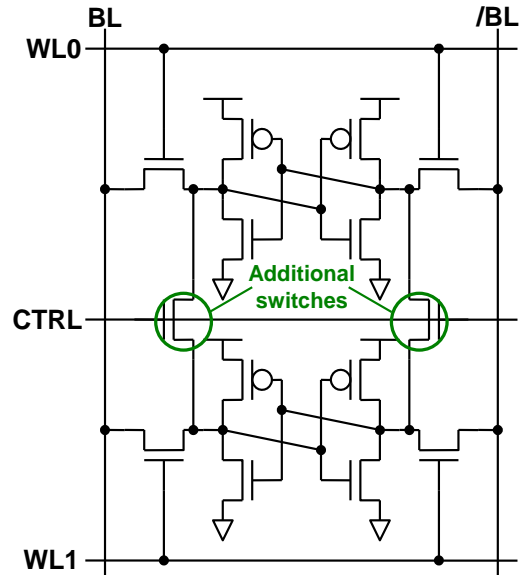
自律型ディペンダブルメモリシステム開発

統合化技術

研究内容の相互関係



低電圧動作や高速動作などの信頼性要素をブロック毎にスケラブルに制御する。



不良回避(方式1)