

フィールド高信頼化のための 回路・システム機構

CREST_DVLSI領域会議

2008年10月27日

研究代表者: 梶原誠司

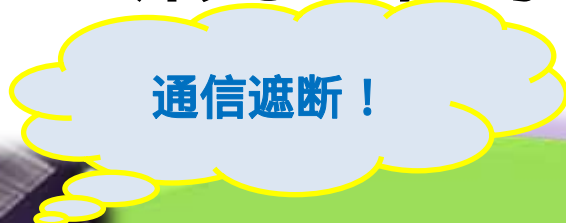
研究チーム: 九州工業大学, 首都大学東京,
奈良先端科学技術大学院大学

研究の背景

衛星, 通信



通信遮断!



医療, 車載

命!

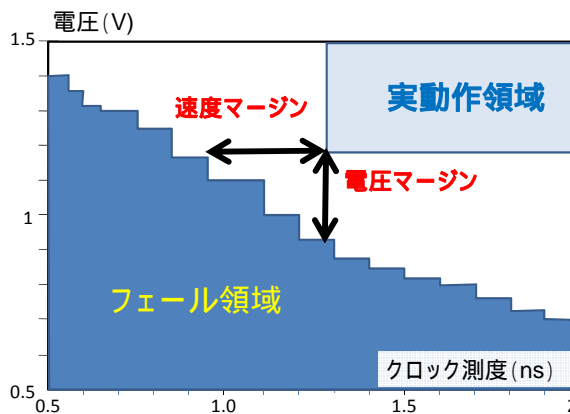
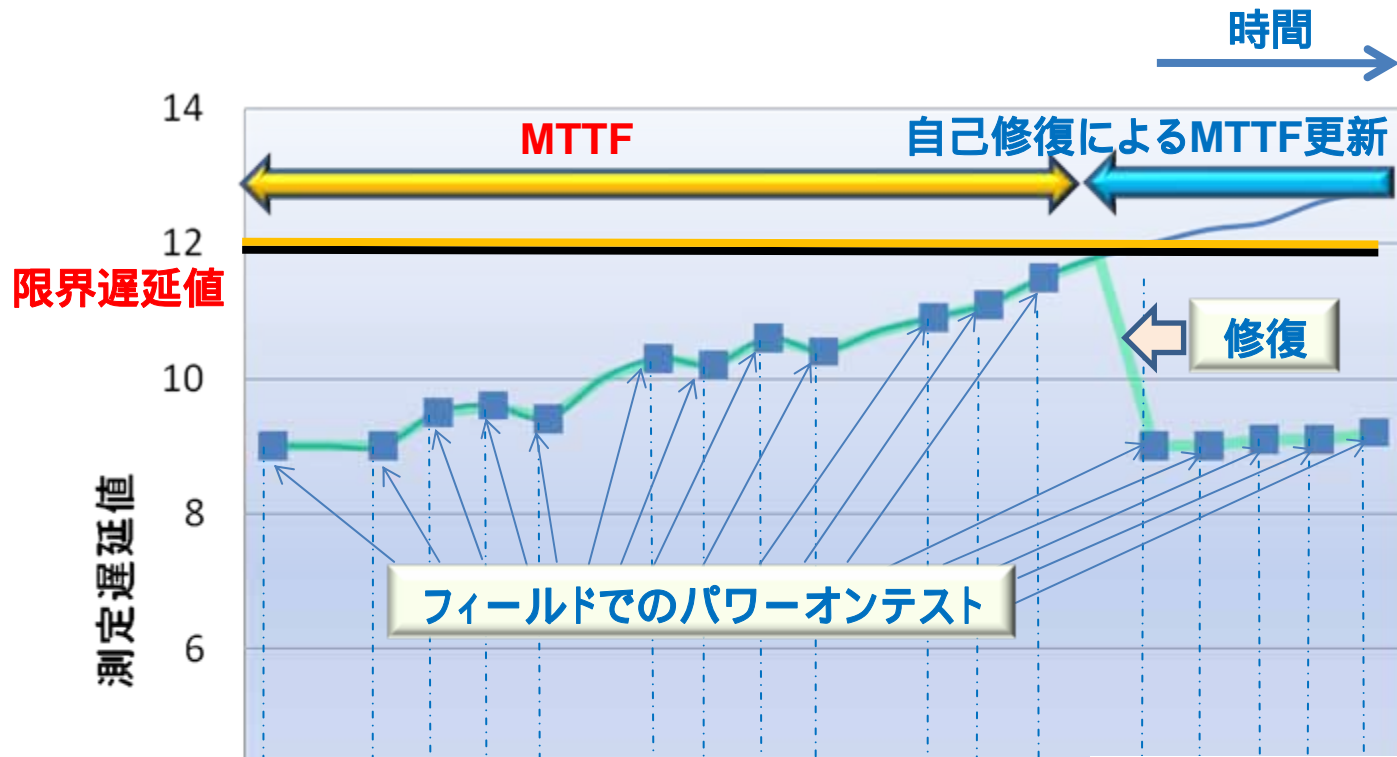


研究の狙い

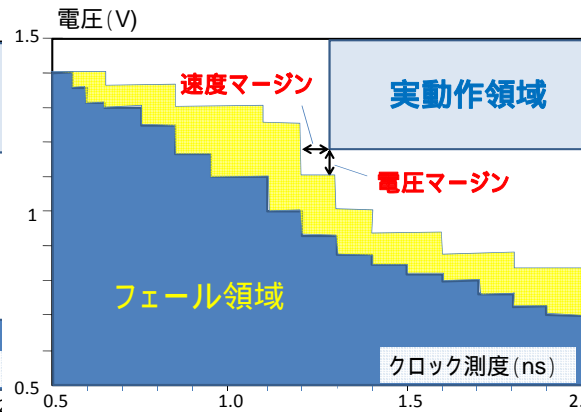
~ 平均故障時間(MTTF: mean time to failure)の更新 ~
突然のシステムダウンを回避... 安全・安心

1. フィールド起動時のアダプティブなパワーオンテストによる故障検出と回路の劣化検知技術
2. 障害となる前に警告 / 自動修復を行い, 被害を阻止する技術
3. 上記実現のための, システム動作環境を反映して行われる高精度な自己テスト, 自己診断, 自己修復技術

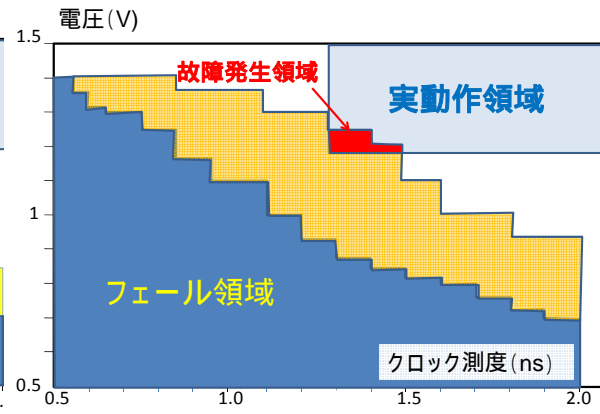
高度な信頼性を要求するシステム



出荷時の動作マージン



劣化による動作マージン減少



劣化後の故障発生

図1 劣化検知と自己修復のよるMTTFの更新

$$\text{MTTF} \quad \text{MTTF} + \text{MTTF} \cdot D \cdot A \cdot R \cdot T$$



– D (取扱可能な劣化要因の比率)の向上

- 劣化テスト箇所選定技術:
劣化メカニズムのモデル化, 集中的テスト箇所とテスト要件.
- 劣化要因非依存テスト技術:
温度・電圧ストレス制御の遅延テスト.

– A (測定精度により検出可能な比率)の向上

- テストタイミング測定技術: 高精度なタイミング測定による動作マージン測定.
- ディレモニタ技術: テスト環境下での標準遅延を高いSN比で測定.
- 熱制御テスト技術: パワーオンテスト時の温度制御.

– R (修復可能な比率 × 修復によるMTTF増加比率)の向上

- 機能的修復システム技術: NoC, マルチコアでのシステムレベル修復.
- 特性的修復システム技術: 電圧, クロック調整による回路的特性修復.

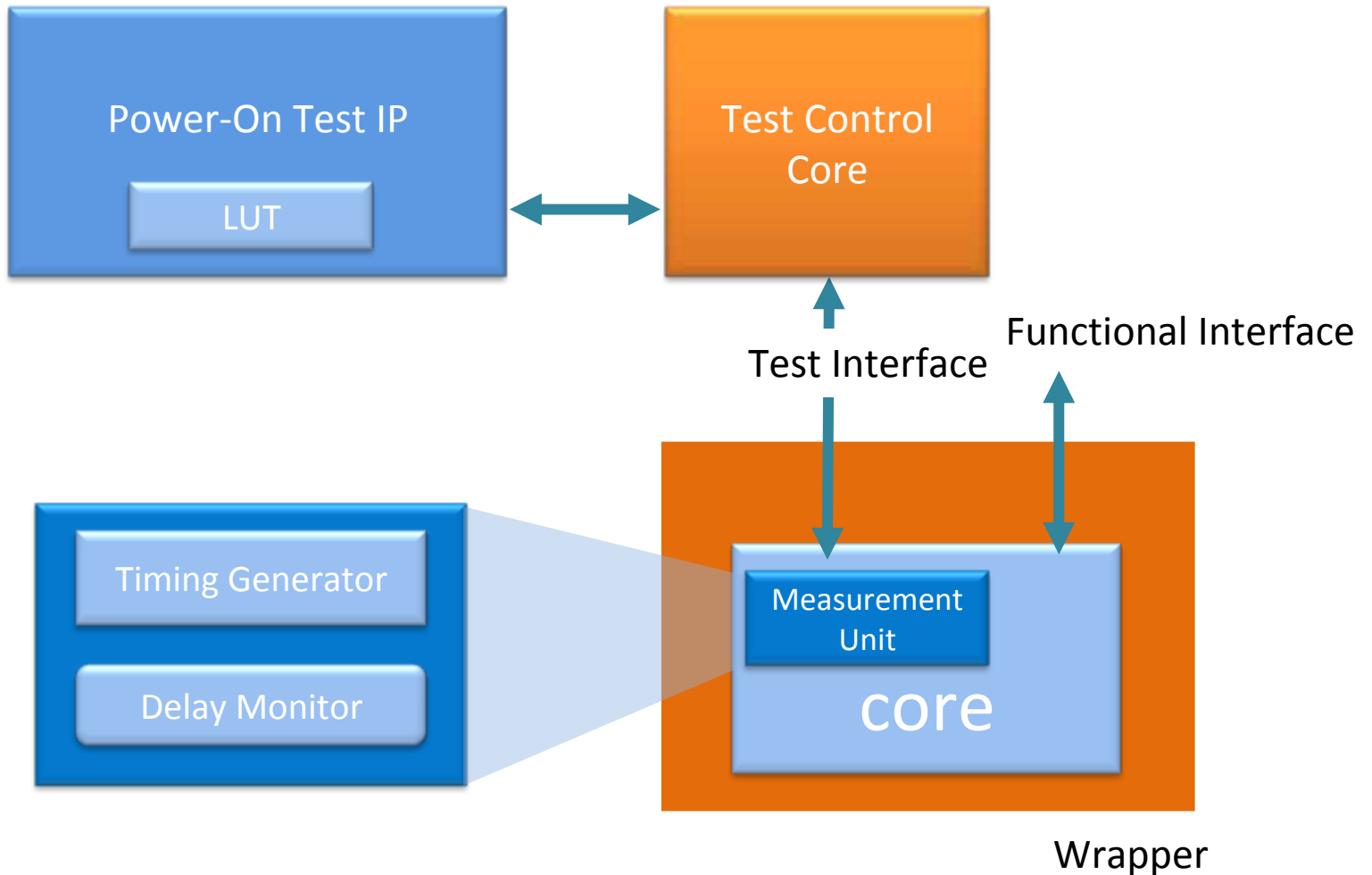
– T (パワーオンテストによる検出率)の向上

- テスト発生BIST技術:
網羅的テスト, 劣化可能性が高い箇所に対するテストを少ないテスト数で実現するテスト生成およびDFT回路.

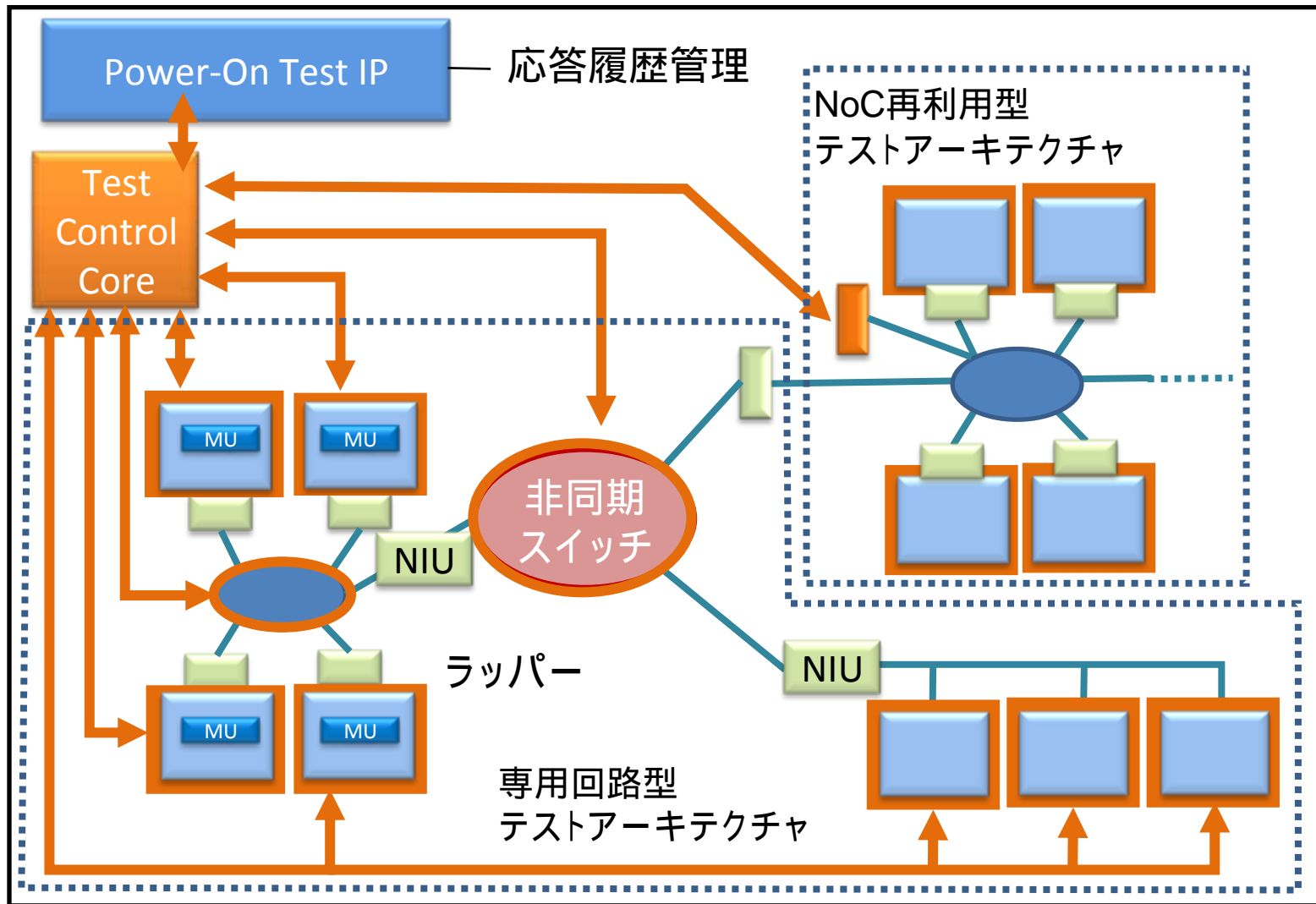
以上を統合, 効率的パワーオンテスト実施の「アダプティブ制御技術」

図 MTTFの向上効果指標と研究開発技術(DART技術)

単一コアに対するテスト回路構成



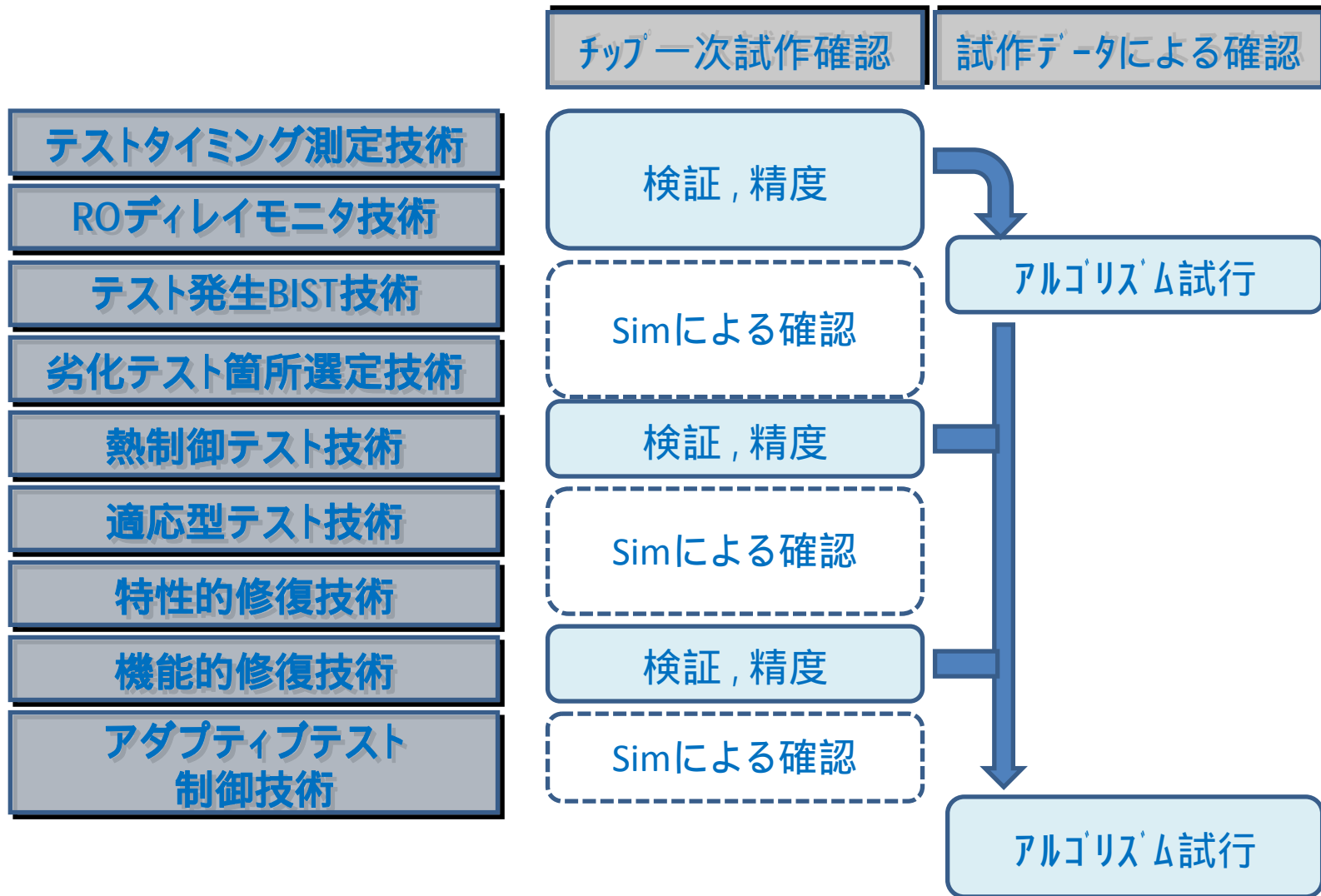
SoC/NoCでのテストアーキテクチャ



構成技術と研究分担



チップ試作で確認する項目



外部連携の強化策

- カーエレクトロニクスメーカー の技術者と12月に打合せ予定
 - パワーオンテストにおける要件定義

領域内チーム間連携

- GALS NoC関連の研究を行うチームとの連携