

統合的高信頼化設計のための モデル化と検出・訂正・回復技術

九州大学 安浦チーム

人員構成

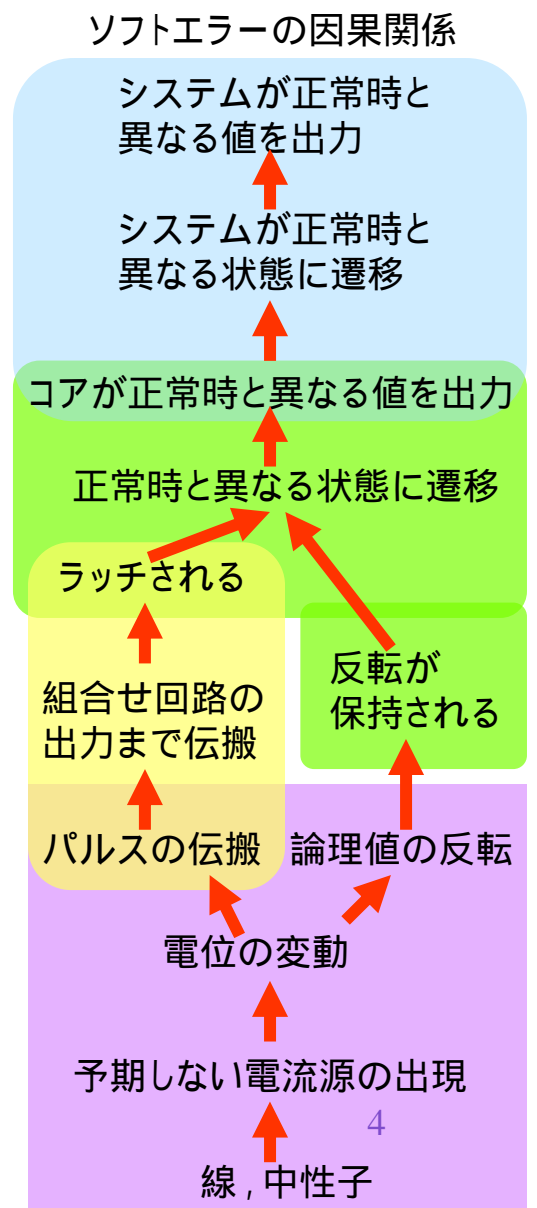
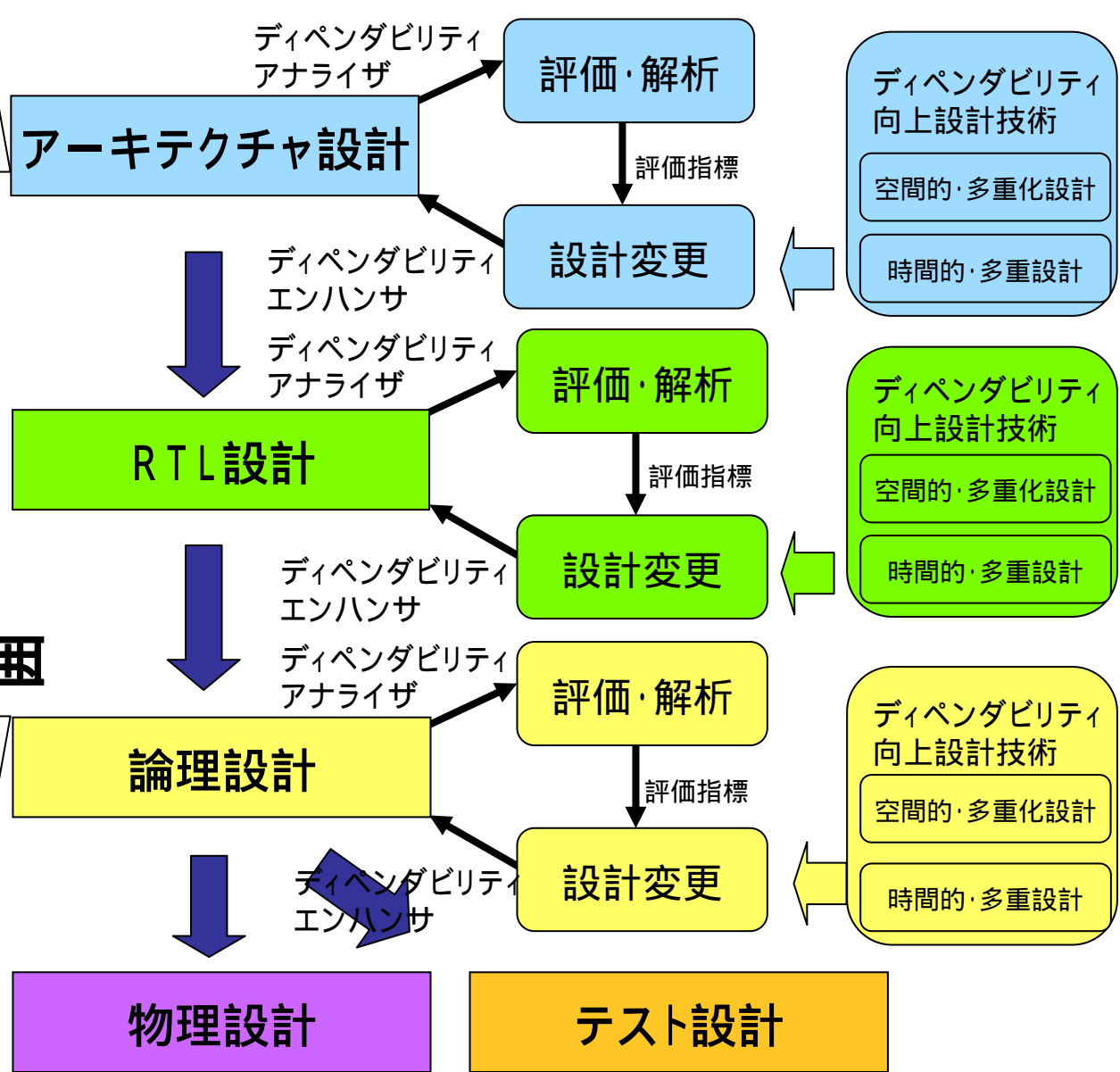
- 九州大学
 - 安浦寛人教授, 佐藤寿倫特任教授(福岡大), 松永裕介准教授, 馬場謙介助教, 吉村正義助教
- 豊橋技術科学大学
 - 杉原真講師

研究の目標とアプローチ

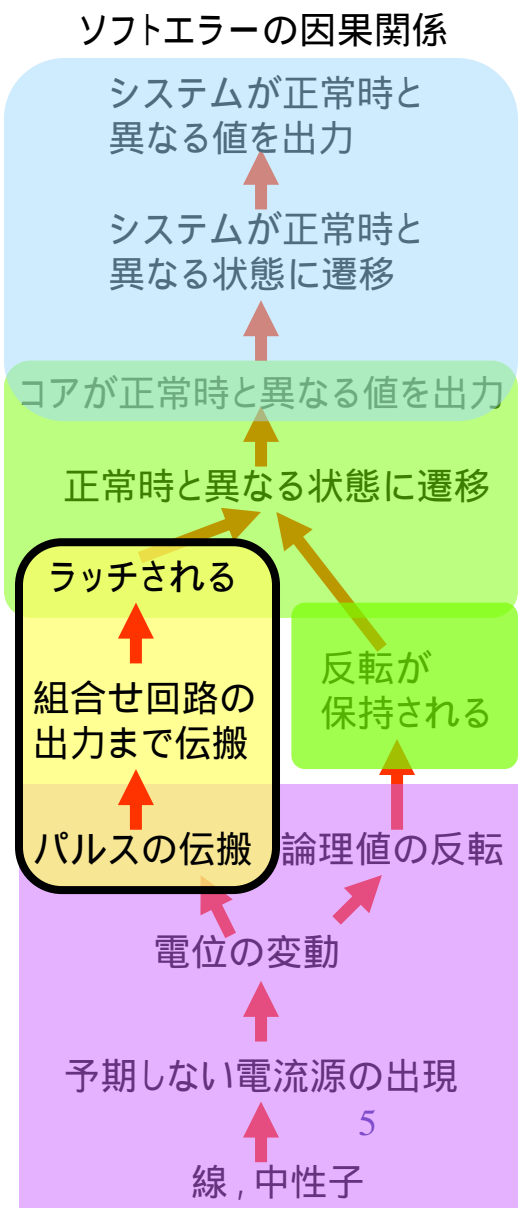
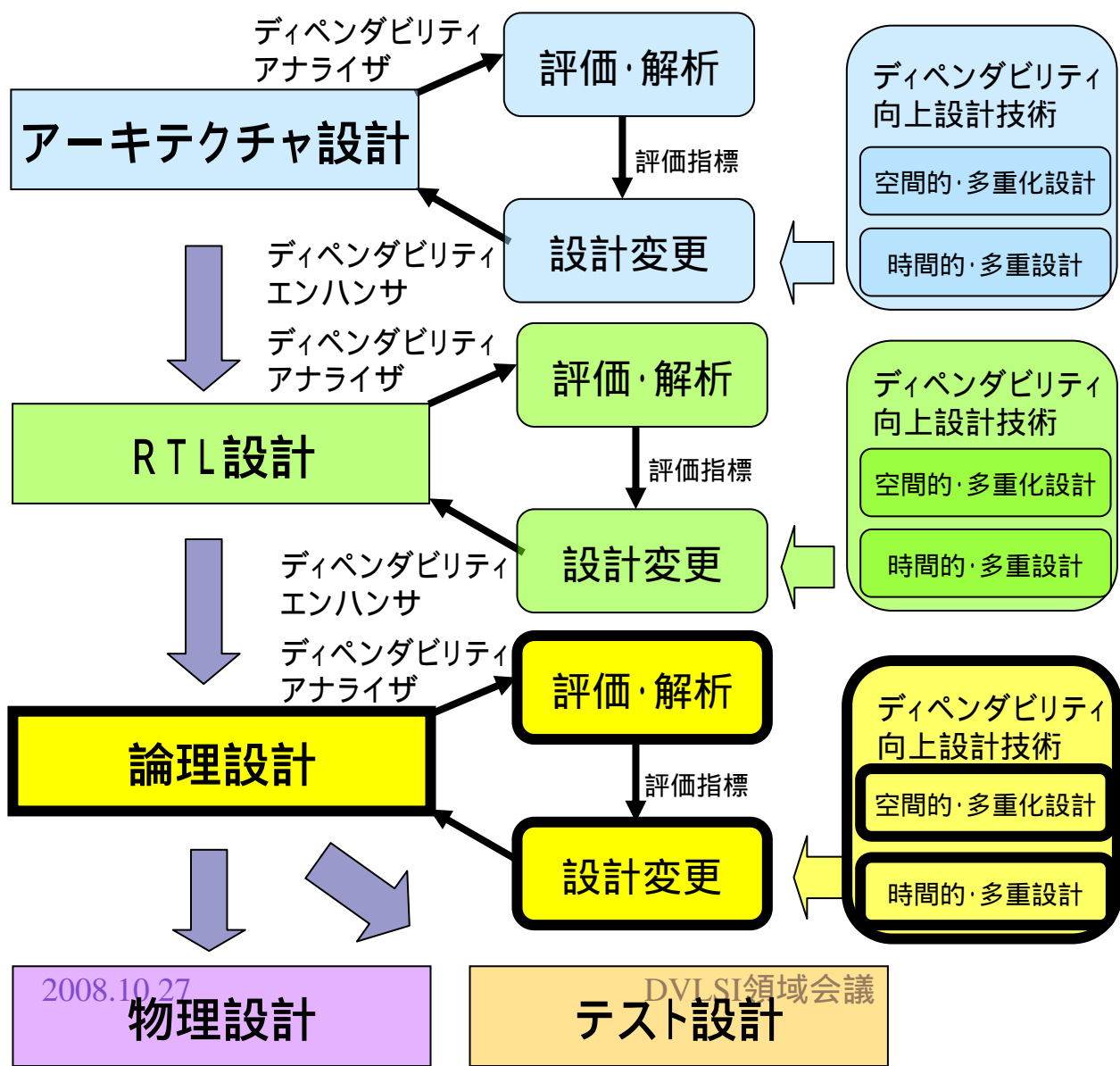
- さまざまな種類のエラー(製造故障、ソフトエラー、タイミングエラー、設計誤り、不完全な仕様に基づく誤り、悪意のある攻撃など)に対して、**統一的な視点からデジタルVLSIシステムのディペンダビリティを確保するための設計技術の確立を目指す。**
- ディペンダビリティの解析と対策回路の合成を行うEDAツールを核とした、**ディペンダブルLSI向け設計フローを構築する。**
- **具体的な問題から、一般化、ツール構築、フロー構築へと展開する。**

設計ツールとフローの構築

安浦チーム対象範囲



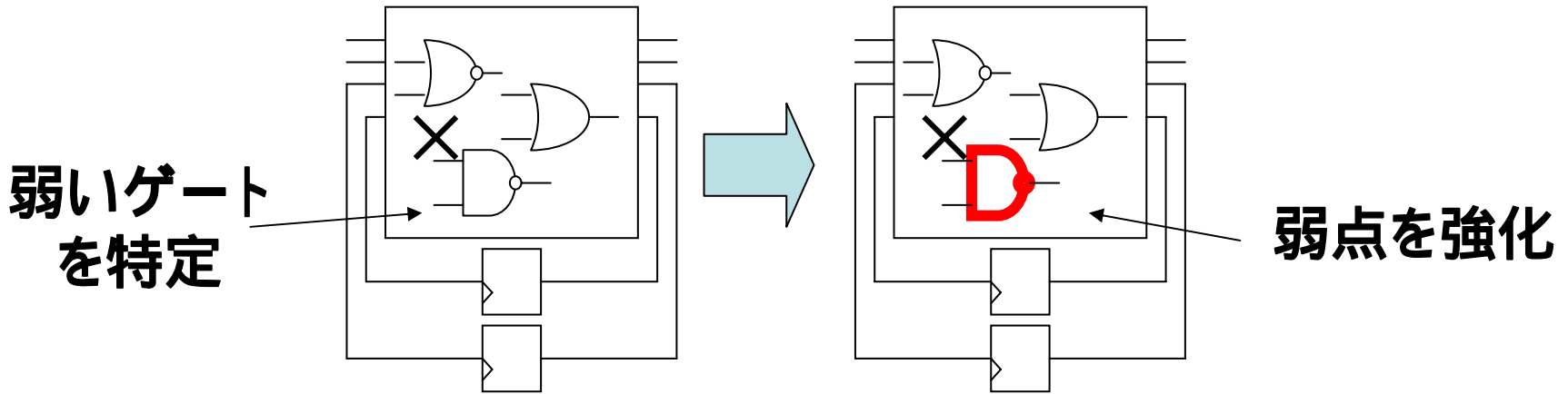
論理設計



2008.10.27

DVLSI領域会議

組み合わせ回路用ソフトエラー耐性 解析ツールの開発(松永, 吉村)



- 組み合わせ回路中に生じたソフトエラーが, FFまで到達し, FFに取り込まれる確率を計算するツールを開発
 - 厳密手法と近似手法の2つの手法を用意
 - 精度と計算時間のトレードオフをはかる
- 解析結果に基づいて, テクノロジマッピングや論理最適化を行う手法を検討中

評価指標

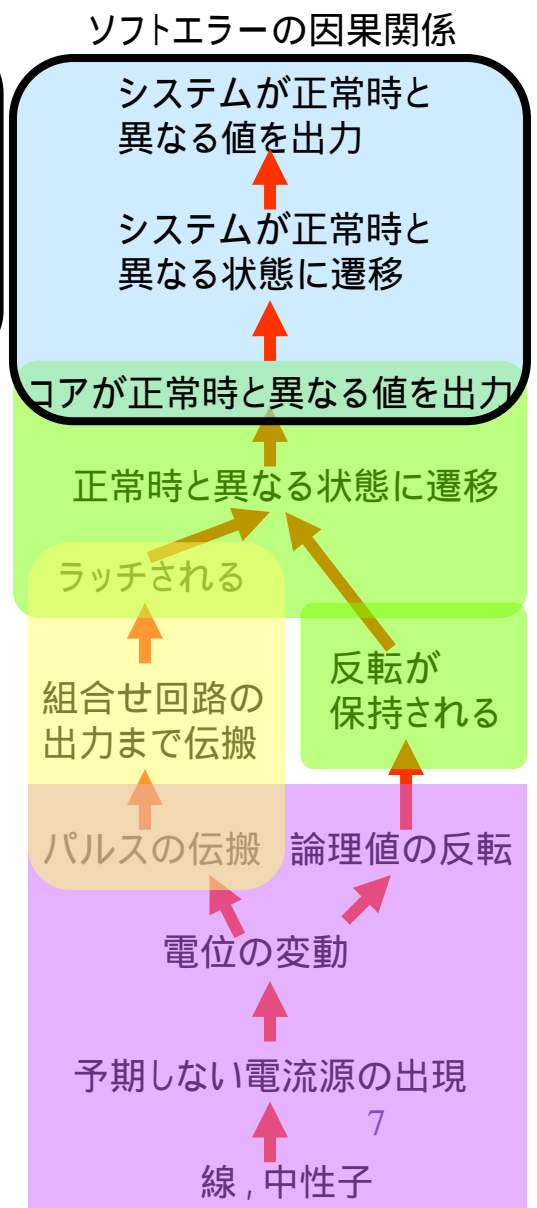
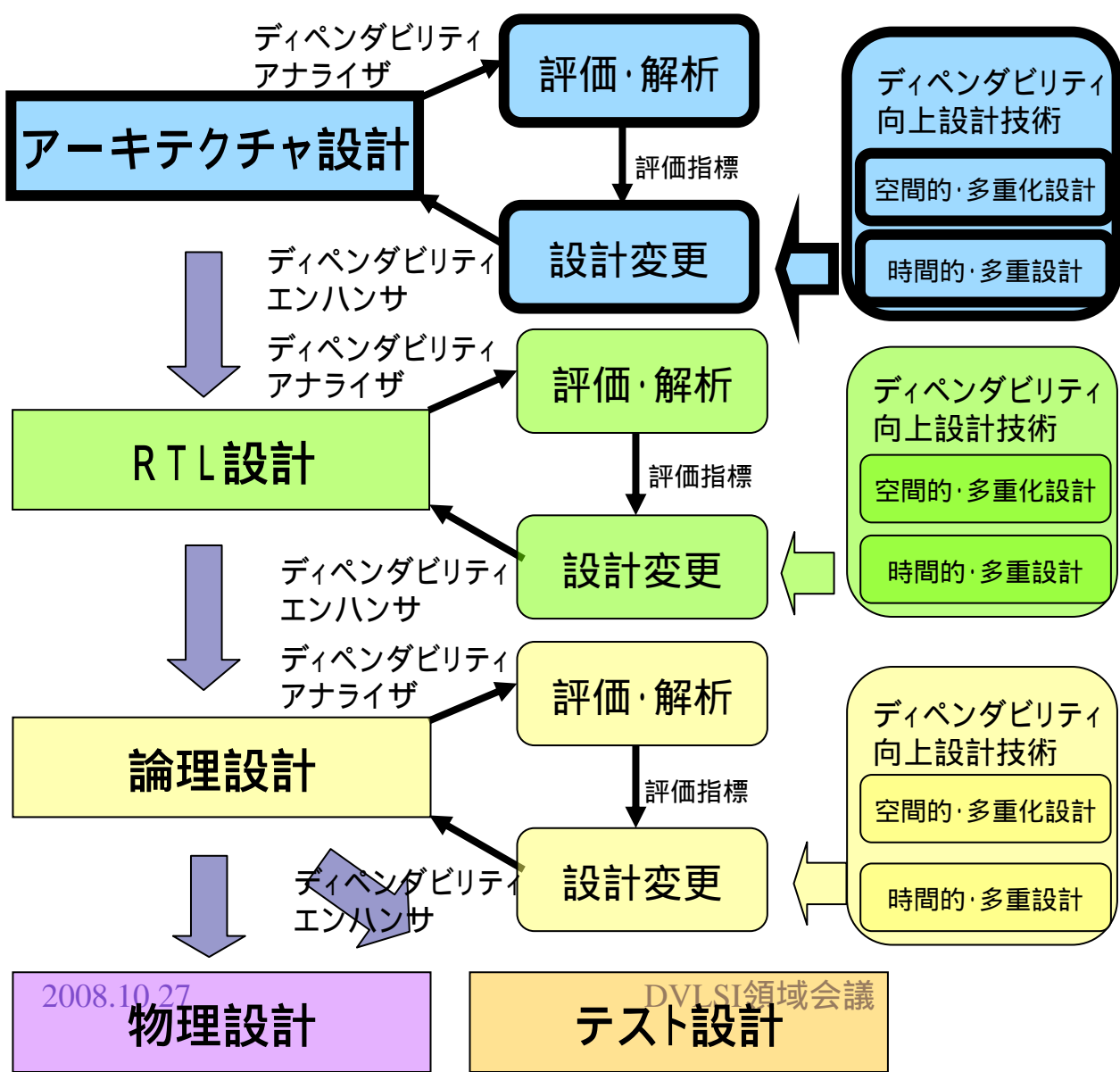
$$P_{er} = P_{se}(g) \cdot P_{prop}(g)$$

P_{er} : ゲート g でソフトエラーが発生し, FFに取り込まれる確率

$P_{se}(g)$: ゲート g でのソフトエラーの生起確率

$P_{prop}(g)$: g のソフトエラー伝搬率

アーキテクチャ設計



2008.10.27

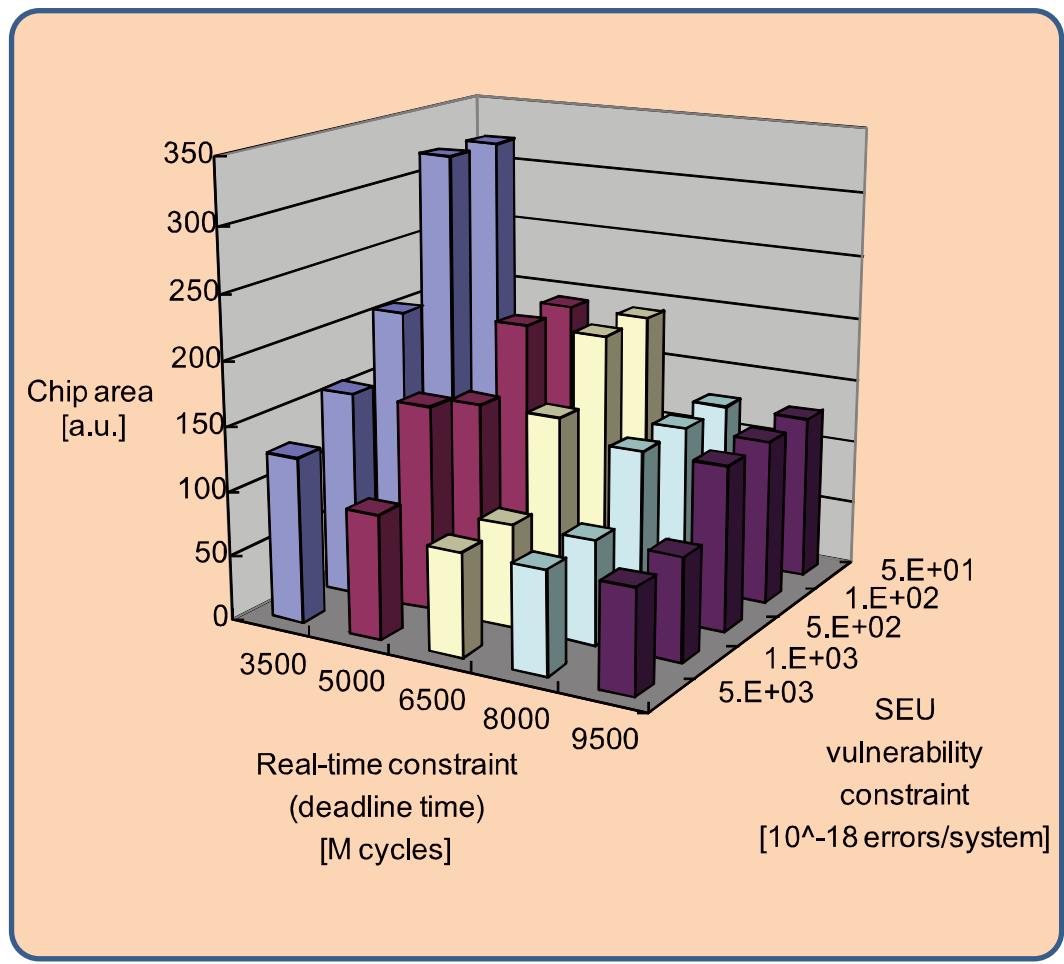
物理設計

テスト設計

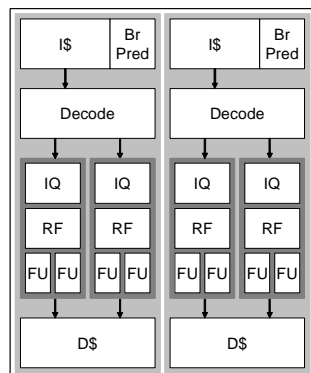
DVLSI領域会議

信頼性と性能を考慮したマルチプロセッサのキャッシュ構成最適化(杉原)

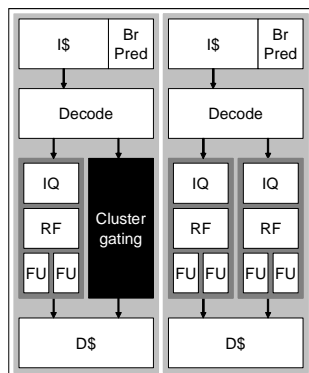
- キャッシュサイズに対する信頼性と性能の要求は相反する
- 以下の設定で最適化を行う
- 制約
 - 信頼性(単位処理あたりのソフトエラー数)
 - 性能(処理時間)
- 目的関数
 - 面積最小
- パラメータ
 - プロセッサ数
 - 各プロセッサのキャッシュサイズ



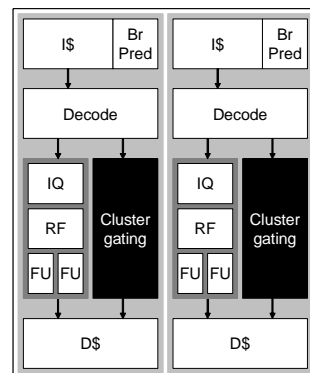
マルチコアプロセッサにおける 信頼性と電力と性能の関係 (佐藤)



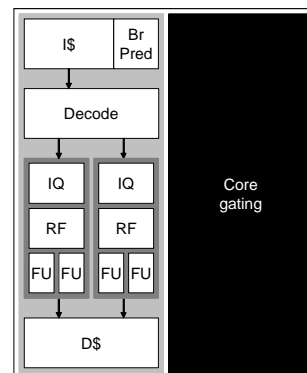
(a) Dual large core



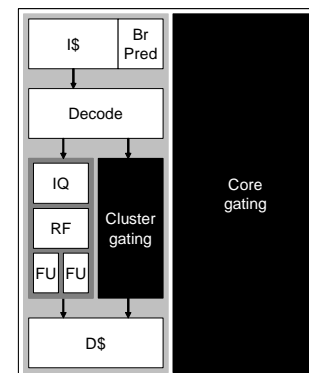
(b) Hetero core



(c) Dual small core



(d) Single large core



(e) Single small core

- クラスタ・ゲーティング & コア・ゲーティング
 - 様々なスケールと構成を実現可能
- 電力と性能とのトレードオフを考慮可能
 - 要求性能に必要な電力のみを供給 電力利用効率改善
- 異なる構成における個々の指標の評価中

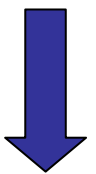
その他の研究テーマ

- **タイミングエラーを予報する技術(佐藤)**
 - 予報用回路構成
 - 予報の活用技術
- **セキュリティとテストタビリティを両立するテスト容易化設計手法の確立(吉村)**
 - 暗号回路構成の耐情報漏洩性の評価
 - アクセス制限がある回路のテスト生成手法

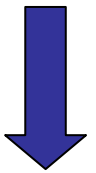
外部連携

安浦チーム
対象範囲

アーキテクチャ設計



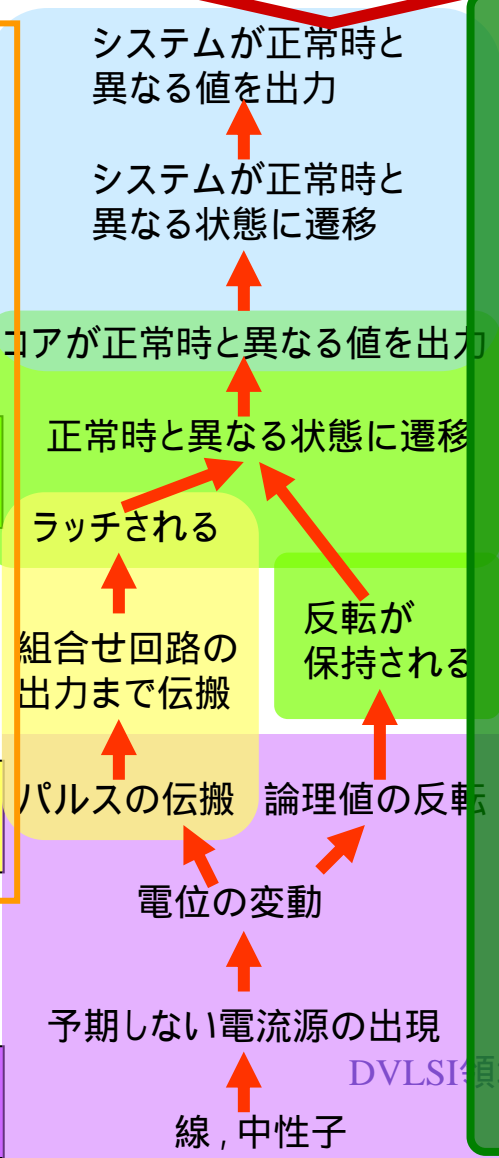
RTL設計



論理設計



物理設計



協力企業 システム上の
ソフトエラー
観測データ

神戸大
吉本チーム 高信頼性メモリを
用いたキャッシュ
アーキテクチャの検討

神戸大吉本チーム
& 九州大渡辺先生
QoBの
シミュレーション評価

まとめ

- ソフトエラーに関するアーキテクチャ設計から物理、テスト設計までのディペンダブルVLSI向け設計フローを提示
- ディペンダブルVLSI向け設計フローにおける3つの要素技術を提案
- 3つの外部連携を紹介