

# ロバストファブリックを用いた ディペンダブルVLSIプラット フォーム

- 小野寺、**佐藤**、土谷(京大)、 尾上、橋本、密山(阪大)
- 小林(**工織大**)、嶋田(**奈良先端**)、 越智(京大)、 神原(ASTEM)

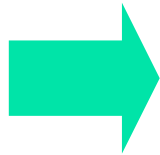


# プロジェクト概要

---

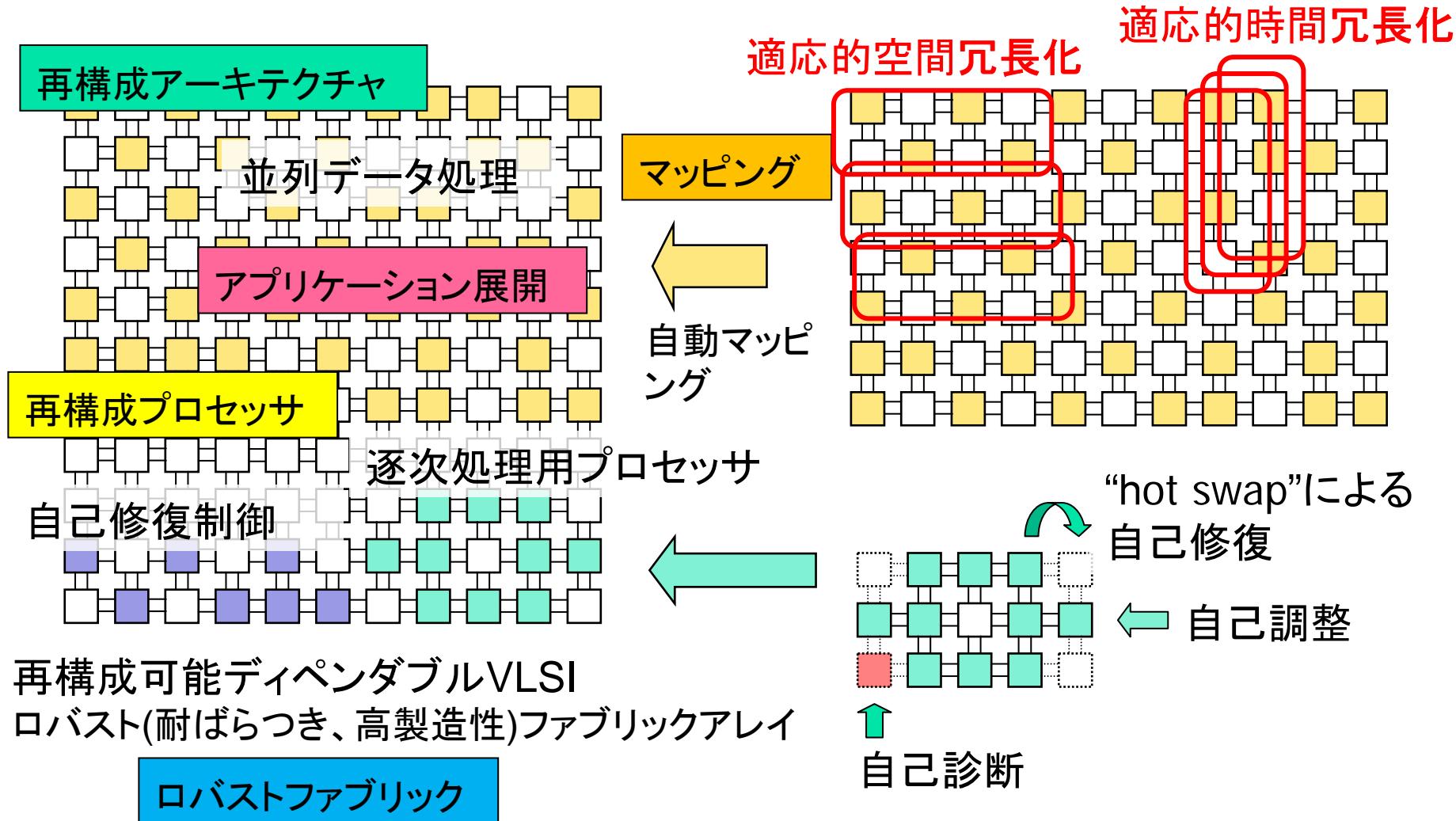
## ■ 研究背景

- 物理的・自然現象的フォールト(製造性劣化、特性ばらつき、ソフトエラー、信頼性劣化)によるディペンダビリティ低下
- NREコストの増大
- アプリごとに必要なディペンダビリティ異なる



- 要求されるディペンダビリティに応じた回路を実現できる再構成可能VLSIプラットフォーム
- レイアウト/回路/アーキテクチャ/設計自動化技術を結集
  - レイアウト: ばらつきに強靱な構造
  - 回路: 特性の適応的調整
  - アーキテクチャ: 適応的な時間的/空間的冗長化
  - 設計技術: 動作記述からの自動マッピング

# 提案VLSIプラットフォームのコンセプト



# 平成20年度研究状況

---

- ロバストファブリック
  - スタンドセルを対象とした製造性強化技術と特性ばらつき評価技術
- 再構成アーキテクチャ
  - 柔軟なディペンダビリティを実現可能な粗粒度再構成可能アーキテクチャ
- マッピング技術
  - 実装回路の信頼性評価環境構築
- 再構成プロセッサ
  - 冗長度(信頼性)を適応的に切り替えるマルチコアパイプラインプロセッサ
- アプリケーション展開
  - 暗号処理用組込みシステムIP整備

# ロバストファブリック

---

- 研究目標
  - 製造が容易でばらつきに強靱な構造を持つ要素回路(ロバストファブリック)の開発
  - 回路特性の自己診断、調整機能の実現
- H20年度の取り組み
  - 特性ばらつき評価技術
    - ゲートレベル遅延ばらつきの分析技術(チップ内ばらつきの成分分離)
    - チップレベル遅延ばらつきの解析技術(統計的Max の新手法)
  - 製造性・ばらつき耐性向上技術
    - レイアウト制約(規則性など)による製造性・ばらつき耐性向上とコスト(性能・チップ面積)のトレードオフ解明
    - 180nmライブラリの開発・公開(京大、阪大、東工大、三重大、早稲田、慶應等で活用)
- H21年度の取り組み
  - 製造性を強化するレイアウト構造の提示と特性の自己調整機能の実現
    - 45nm およびそれ以細のプロセスを想定したレイアウト設計ガイドラインの提示
    - 動作特性の自己診断回路の開発
  - チップレベルばらつき特性解析と耐遅延故障化
    - 目的:設計回路の高性能低コスト高信頼化の一層の促進
    - 主担当: 京都大学 佐藤高史教授(新メンバー)

# 再構成アーキテクチャ

---

## ■ 研究目標

- 動的自己修復を実現するディペンダビリティ可変粗粒度再構成可能アーキテクチャの開発
- ばらつき補償技術ならびにホットスワップ機構によるディペンダビリティの動的保証

## ■ H20年度の取り組み

- クラスタアーキテクチャの設計と評価
  - 複数種類のクラスタのアーキテクチャ設計、ならびにALUクラスタのチップ試作
  - 信頼性－電力/性能トレードオフの解析と、その柔軟化の検討
- タイミング変動を許容する回路技術
  - タイミングエラー予告を用いたばらつき補償技術
  - 基板バイアスクラスタリングによるばらつき補償技術

## ■ H21年度の取り組み

- 静的ディペンダビリティの実現
  - 提案粗粒度再構成可能アーキテクチャ(クラスタアレイ)を65nmプロセスで試作、評価
  - 簡単なアプリケーションでディペンダビリティ可変マッピングの動作確認(マッピング技術グループとの連携による)
- 動的ディペンダビリティ確保に向けた検討
  - ホットスワップ機能による効果の見積もり、ならびにその実装法を検討
  - 検討中の適応的速度制御機構を65nmプロセスで試作し、実機で有効性を評価


# マッピング技術

## ■ 研究目標

- 要求されるディペンダビリティに応じた冗長化を施し、再構成可能VLSIアーキテクチャに自動マッピング
- 不良回路の自己修復自動化方法の確立

## ■ H20年度の取り組み

- ディペンダビリティ評価環境の開発に着手
  - ソフトエラー(SEU)が出力に与える影響をシミュレーションベースで定量的評価
  - SEU発生によって出力に影響を及ぼしやすいレジスタ(**sensitive bit** になりやすいレジスタ)が特定可能に
- マッピングツールの開発に着手



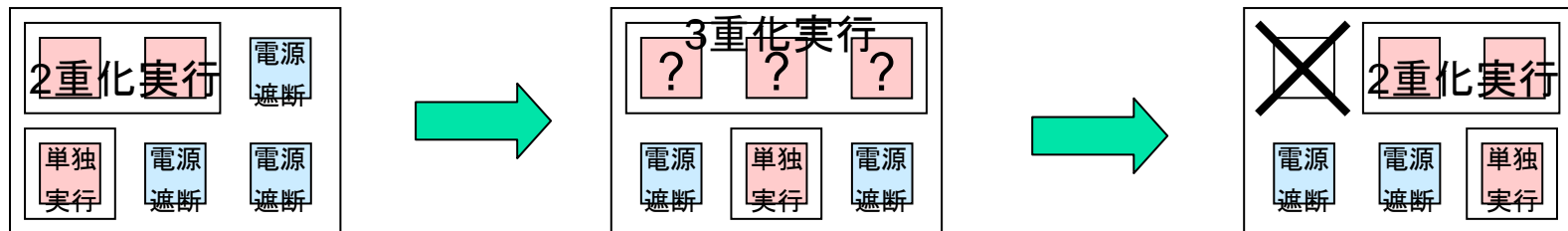
再構成アーキテクチャグループと連携し、クラスタセルアーキテクチャの耐故障性評価に活用

## ■ H21年度の取り組み

- 耐故障性評価環境の開発・改良
  - シミュレーションの高速化
- マッピングツールの開発
  - 再構成アーキテクチャグループのクラスタセルアーキテクチャに適した配置配線アルゴリズムの開発
  - 信頼性とコスト(面積等)とのトレードオフを考慮し、sensitive bitを優先的に対策する部分的多重化の自動化

# 再構成プロセッサ

- 研究目標
  - 冗長性を変化可能な再構成可能プロセッサを再構成可能VLSIアーキテクチャ上に構築
- H20年度の取り組み
  - 冗長度を適応的に切り替えるマルチコアパイプラインプロセッサを提案
    - 通常は2重化(以下)、永久故障発生時に3重化で故障箇所特定
    - 不使用コアは電源遮断による電力削減・経年劣化抑制
- H21年度の取り組み
  - ロバストファブリック上のプロセッサの実現
    - マッピング容易な命令セット／エンコーディングの実現
    - 上記に対応したGNUユーティリティの準備
  - 回路レベルの高信頼化技術
    - ソフトエラー対策を行うための回路方式の検討
    - 経年劣化への対策



## 通常動作

- 要信頼性APは2重化実行、通常APは単独実行
- 不使用コアは電源遮断

## 3重化で故障箇所同定

- 永久故障発生時は3重化実行へ移行
  - 正常なレジスタ値をコピーして3重化へ移行

## 故障箇所停止

- 発見された永久故障箇所を停止
- 経年劣化を平均化するため、単独実行も適時移動



# アプリケーション展開

## ■ 研究目標

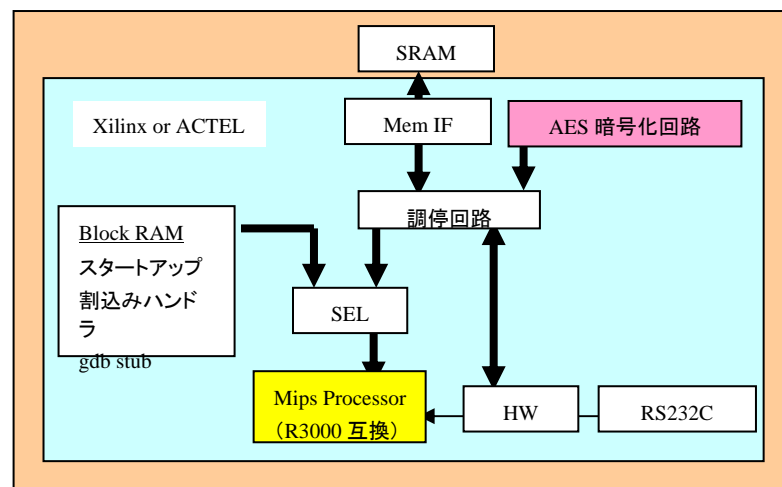
- 再構成アーキテクチャ上で実現すべき耐故障化や耐性強化の指標を明確化
- ディペンダビリティ評価手法の検討と研究成果の応用展開

## ■ H20年度の取り組み

- 暗号化機能を持つ組み込みシステム(プロセッサ、暗号化回路)のIP整備
- ユーザーヒアリングならびに評価指標の調査

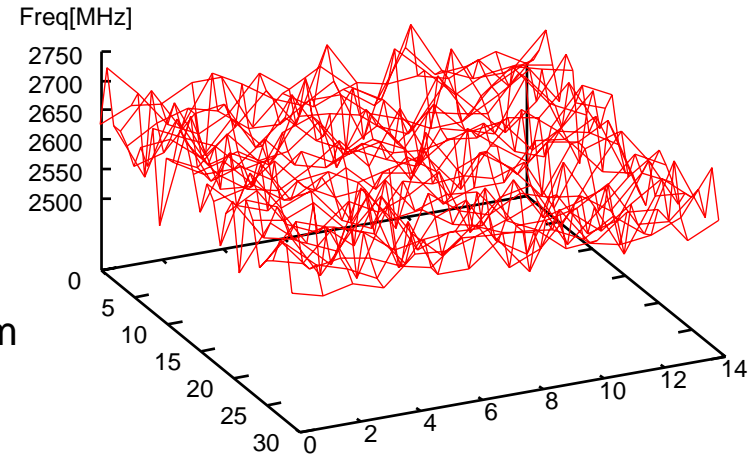
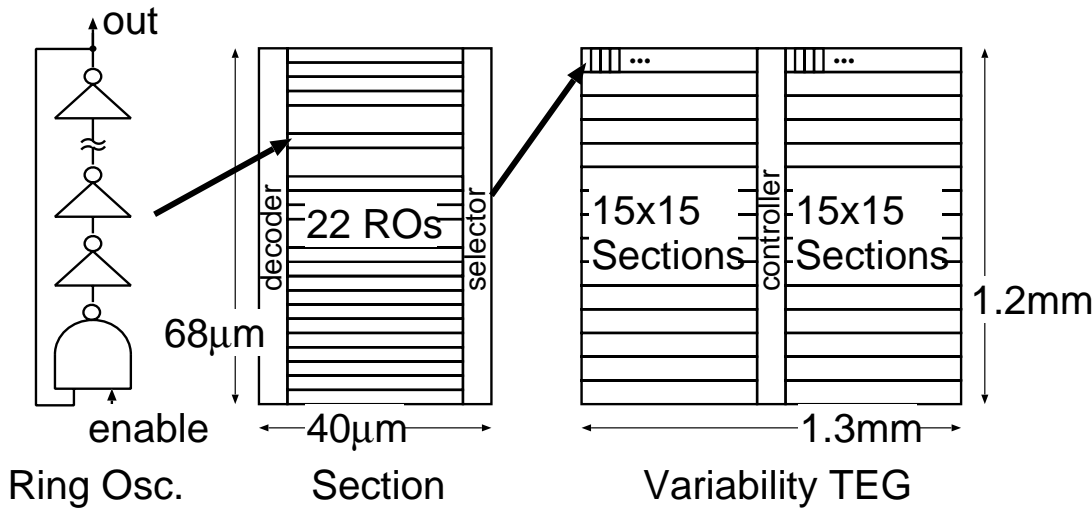
## ■ H21年度の取り組み

- ディペンダビリティの定量的な評価手法を構築
- 再構成アーキテクチャで実現すべき耐故障化や耐性強化の指標の明確化

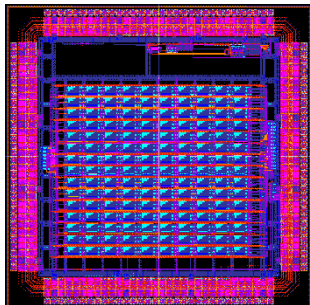


# 特性ばらつき評価技術

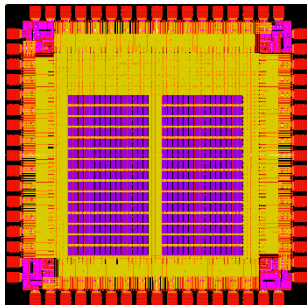
## ■ リング発振回路アレーを用いた遅延ばらつき評価回路



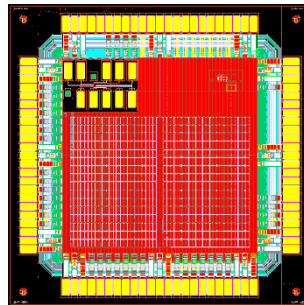
チップ内ばらつきの測定結果



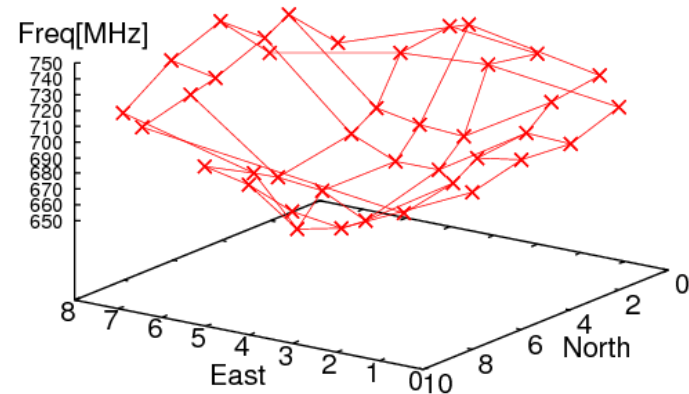
180nm



90 nm



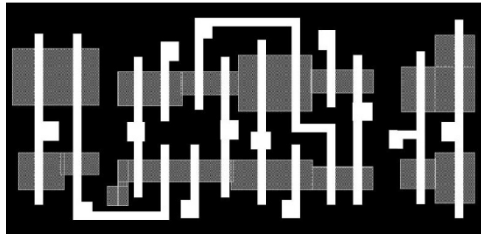
65 nm



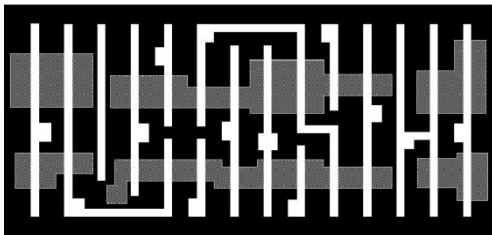
ウエハ内ばらつきの測定結果

# 製造性向上/特性調整機構の検討

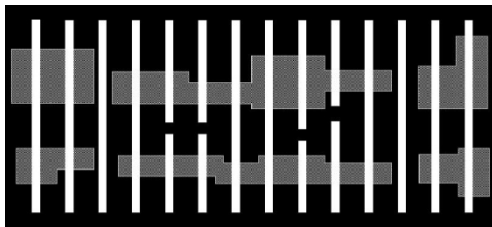
- レイアウト規則性を制御して製造容易性を改善(45nm)



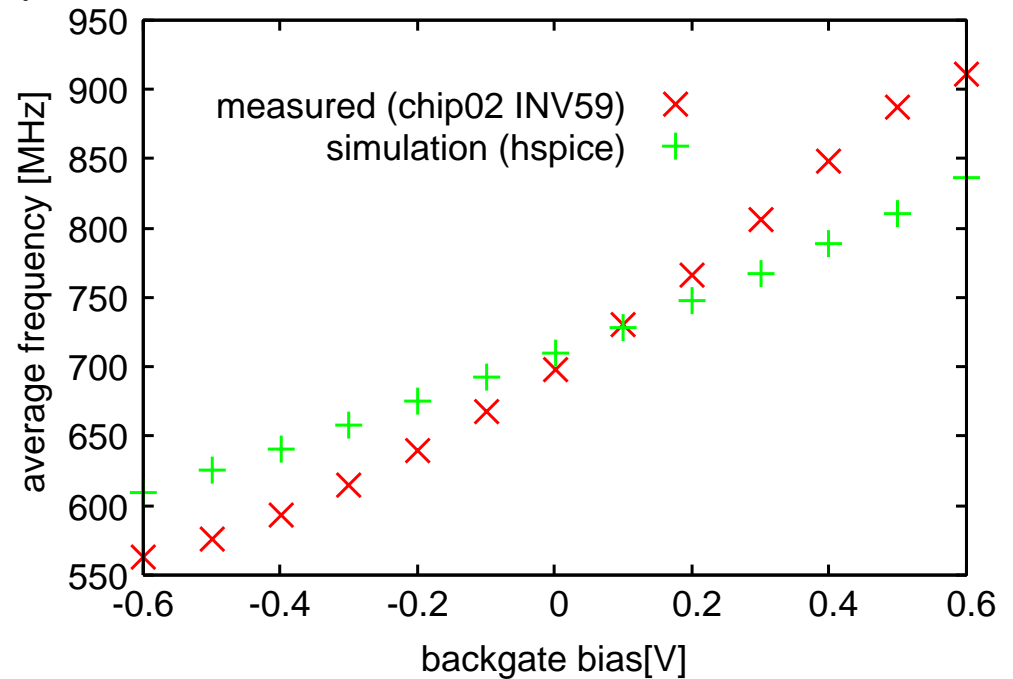
Compact



2D\_regular



1D\_regular



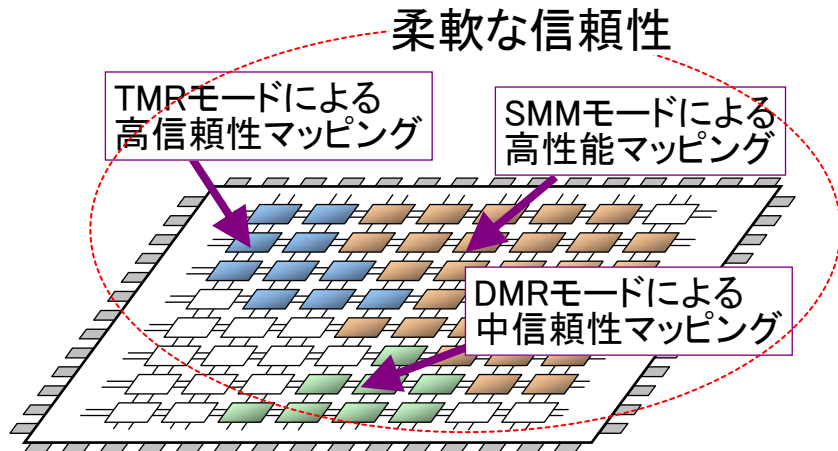
- 基板バイアスによる動作特性の調整(±0.6Vの基板バイアスで動作速度 -20% -- +30%)

# 提案アーキテクチャによる柔軟な信頼性

各動作モードにおける構成情報と演算回路のディペンダビリティ

動作モード	冗長度		信頼性			想定利用要件
	構成情報	演算回路	構成情報	演算回路		
			SEU	SEU	SET	
TMR	三重化	三重化	修復	修復	修復	常に正しい出力
DMR	三重化	二重化	修復	修復	検知	演算結果のエラー検知
SMS	三重化	単体	修復	検知	—	演算結果のエラーは無視可能
SMM	単体	単体	—	検知	—	性能重視でエラー対策不要

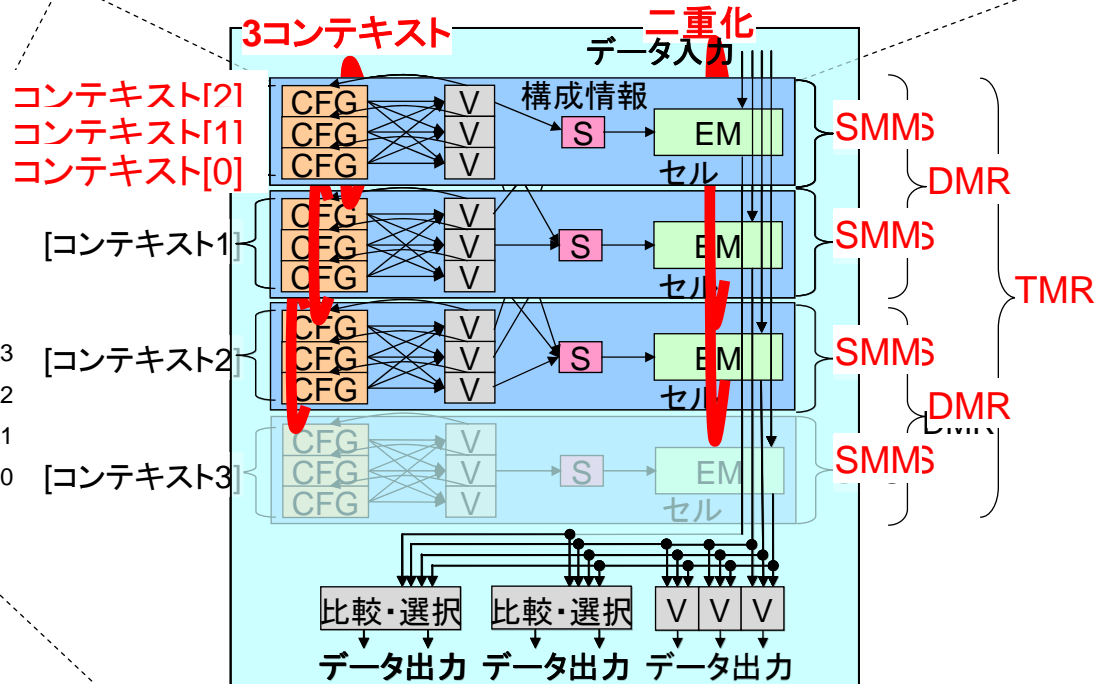
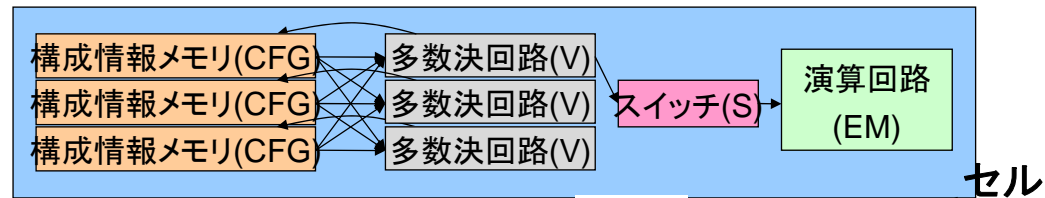
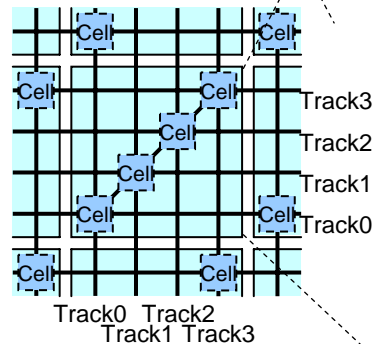
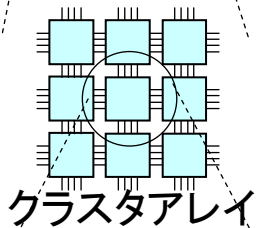
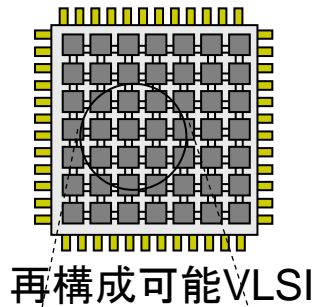
高信頼 ↑  
高性能 ↓



各クラスタに要求される信頼性に基づき、  
クラスタ毎に動作モードを指定  
↓  
柔軟な信頼性-面積トレードオフの実現

# 提案再構成可能アーキテクチャ

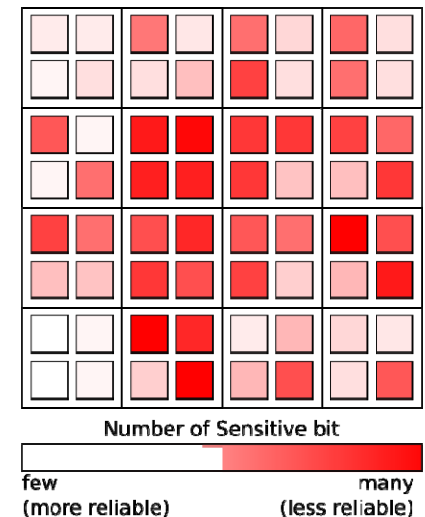
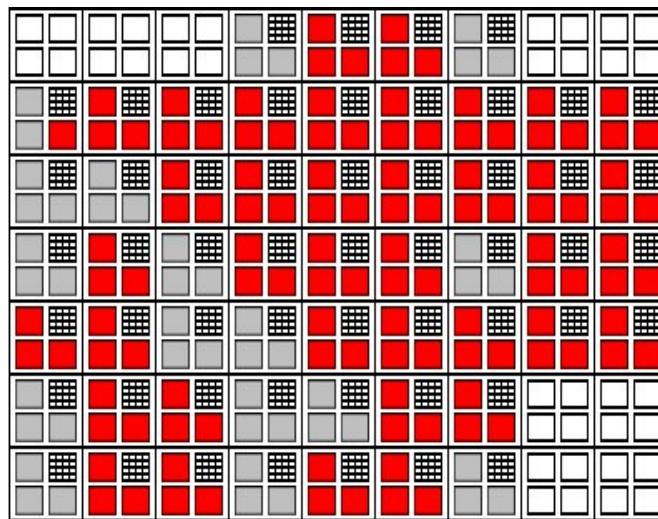
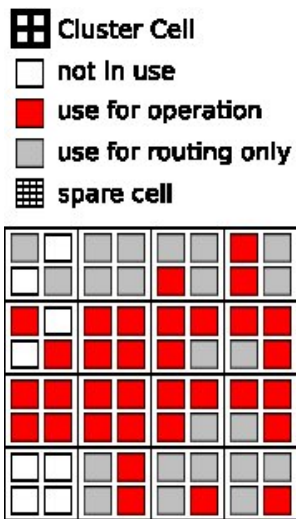
- 複数セルのクラスタ構成による柔軟なディペンダビリティの実現
  - ✓ 構成情報メモリの冗長化/マルチコンテキスト化
  - ✓ 演算回路の三重化/二重化/非冗長化



クラスタ

# 提案アーキテクチャの評価

マッピング技術グループの協力により、再構成可能アーキテクチャ上にビタビデコーダをマッピングし、提案アーキテクチャの有効性を評価(現在検討中)



センシティブビット数の分布

センシティブビット数に応じて各クラスタの動作モードを設定することで、信頼性-面積トレードオフの改善が可能

	センシティブビット数 (全構成情報量に対する割合)	クラスタ数 (配線のみを使用した数)
ALL-SMM	790 bits (6.5%)	15個 (2個)
ALL-TMR	0 bit (0.0%)	54個 (15個)

↪ -100% ↪ x3.6

# 企業連携

---

- 再構成アーキテクチャの実応用性確保
  - 米国3社を訪問し、再構成可能アーキテクチャに関する意見交換を実施
  - H21年度目標
    - 再構成可能アーキテクチャとしての現実課題の把握と掘り下げ
    - ターゲットアプリケーションの設定と要求ディペンダビリティの明確化
- ディペンダビリティ要求の具体例の調査
  - 医療機器メーカーの技術部門ならびに品質保証部門
  - 再構成デバイスを用いた人工衛星搭載機器の開発者

# 評価指標

---

## 既存の指標

- FIT, MTTF
- AVF(Architectural Vulnerability Factor) (Intel & Univ. of Michigan)
  - AVF : プロセッサの構成要素で発生したエラーが、プログラムの実行結果に障害を発生させる確率(例:PCだと100%)
- SIL (Safety Integrity Level)(IEC 61508 機能安全規格)
  - SIL : SIL1 から SIL4 の4段階で定義される機能安全の指標(停止状態で機能が正常に起動する確率と、連続稼働時に機能が停止する確率の2種類について定義)

## 目標

- 既存の指標に代わる、再構成デバイス向けの評価指標の確立

## 課題

- チップ内部(構成情報とデータパス)で発生した誤り(Error)の、システムの障害(Failure)への波及確率の算出
- システムの障害(Failure)の、ユーザからみでの深刻度の算出
- 動作マージン/ロバストネス/故障発生確率の統一的定量化とFOMの定義



# 組み込みOSとの関係

---

- (再構成プラットフォーム上の)プロセッサは、ソフトウェア(組み込みOS)から見た時の実行状態に影響を与えることなく、誤り訂正と再構成を可能とする

(検討課題)

- 組み込みOS中のソフトウェアによる誤り訂正機能と、再構成プラットフォームの誤り訂正機能の相乗によるさらなる高信頼化
- 組み込みOS内処理とデバイス(再構成プラットフォーム)内処理の最適分担による低コスト化

## 領域運営

- CREST研究参加学生の出張に関する追加要件の弾力的運用