

統合的高信頼化設計のための モデル化と検出・訂正・回復技術

安浦寛人, 松永裕介, 馬場謙介, 吉村正義(九州大学)

佐藤寿倫(福岡大学)

杉原真(豊橋技術科学大学)

研究の目標とアプローチ

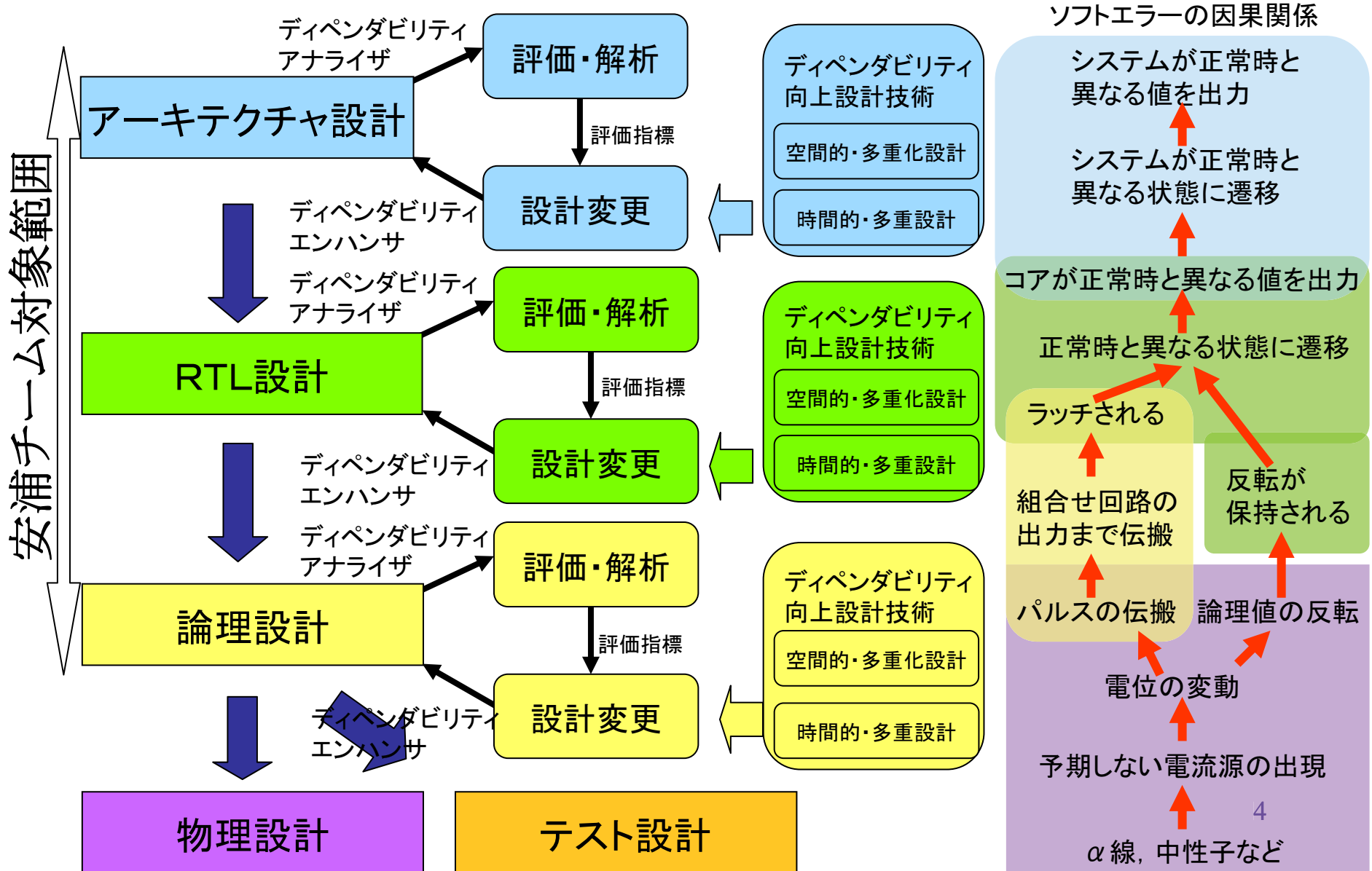
- さまざまな種類のエラー(製造故障、ソフトエラー、タイミングエラー、設計誤り、不完全な仕様に基づく誤り、悪意のある攻撃など)に対して、**統一的な視点からデジタルVLSIシステムのディペンダビリティを確保するための設計技術**の確立を目指す。
- ディペンダビリティの解析と対策回路の合成を行うEDAツールを核とした、**ディペンダブルLSI向け設計フロー**を構築する。
- **具体的な問題から、一般化、ツール構築、フロー構築へと展開する。**

ソフトエラーやセキュリティを考慮したEDAツールが存在しない

ソフトウェア

自然現象に依る脅威

設計ツールとフローの構築



階層設計に基づいた設計フロー

- 各階層における評価ツール(詳細レベルのBB化による高速化)
- 階層間を結ぶ合成・最適化ツール(抽象レベルでの最適化)
- 階層設計のフローとの整合と評価の効率化(タイミング、電力)

	評価ツール	合成・最適化ツール
RTLレベル 	RTLシミュレータ 	<div style="background-color: #d9ead3; padding: 5px; margin: 5px;">論理合成 (テクノロジマップ)</div> <div style="background-color: #f4cccc; padding: 5px; margin: 5px;">フィジカルシンセシス (配置配線・ゲートサイジング)</div>
論理レベル 	論理シミュレータ 	
回路レベル 		

論理ゲートのエラーが影響を与える確率

- 論理ゲートgにおけるエラーが回路出力に与える確率

$$SER_g = \int P_{pulse}(W) \cdot P_{prop}(W) \cdot dW \quad (1)$$

$P_{pulse}(W)$: 論理ゲートgの出力に幅Wのパルスが発生する確率

– 収集電荷量によって電荷の収集確率が異なる

⇒ 幅ごとにパルスの発生確率は異なる

$P_{prop}(W)$: 論理ゲートgの出力に幅Wのパルスが発生した際、パルスが外部出力に伝搬もしくは記憶素子に取り込まれる確率

⇒ パルス幅によって $P_{prop}(W)$ は異なる

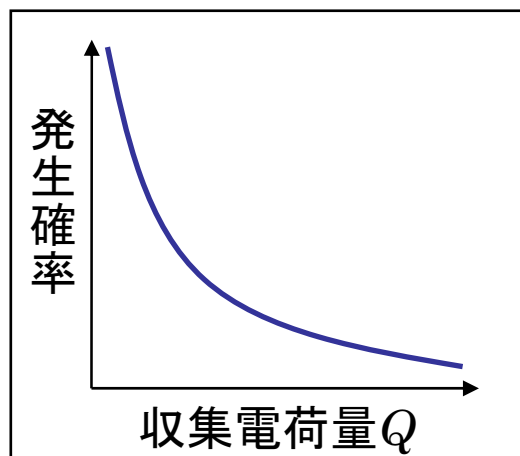
⇒ SERを正確に求める為には、パルス幅を考慮することが重要

多くの既存研究では、SERを求める際に幅ごとのパルス発生確率の違いがあまり考慮されていない

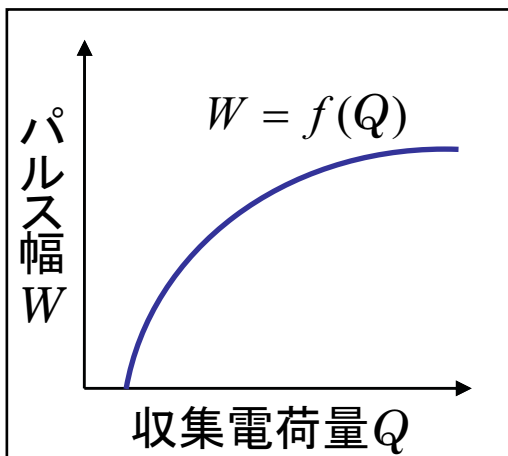
⇒ 幅ごとにパルス発生確率を求める手法を提案

提案手法の概要

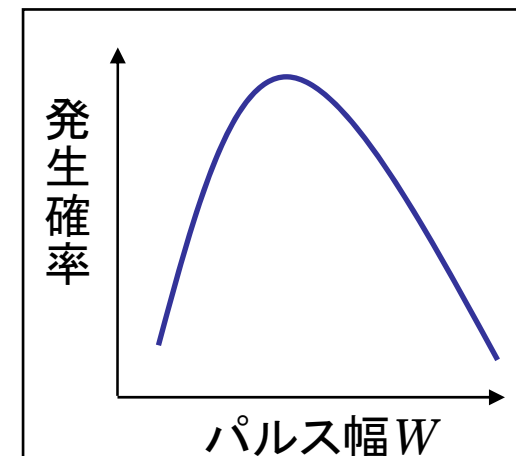
1 電荷収集確率



2 収集電荷量とパルス幅の関係



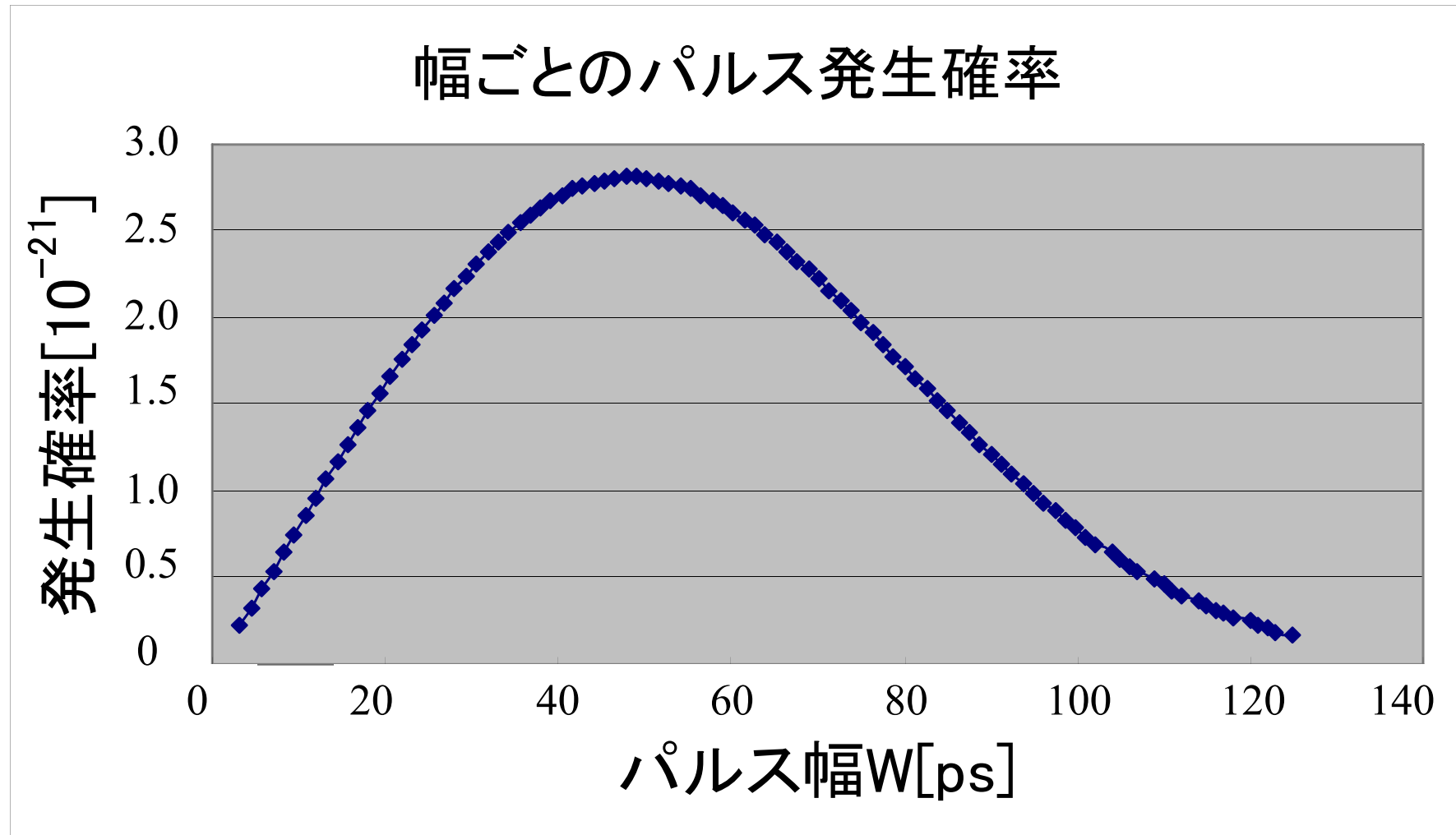
3 幅ごとのパルス発生確率



1 + 2 

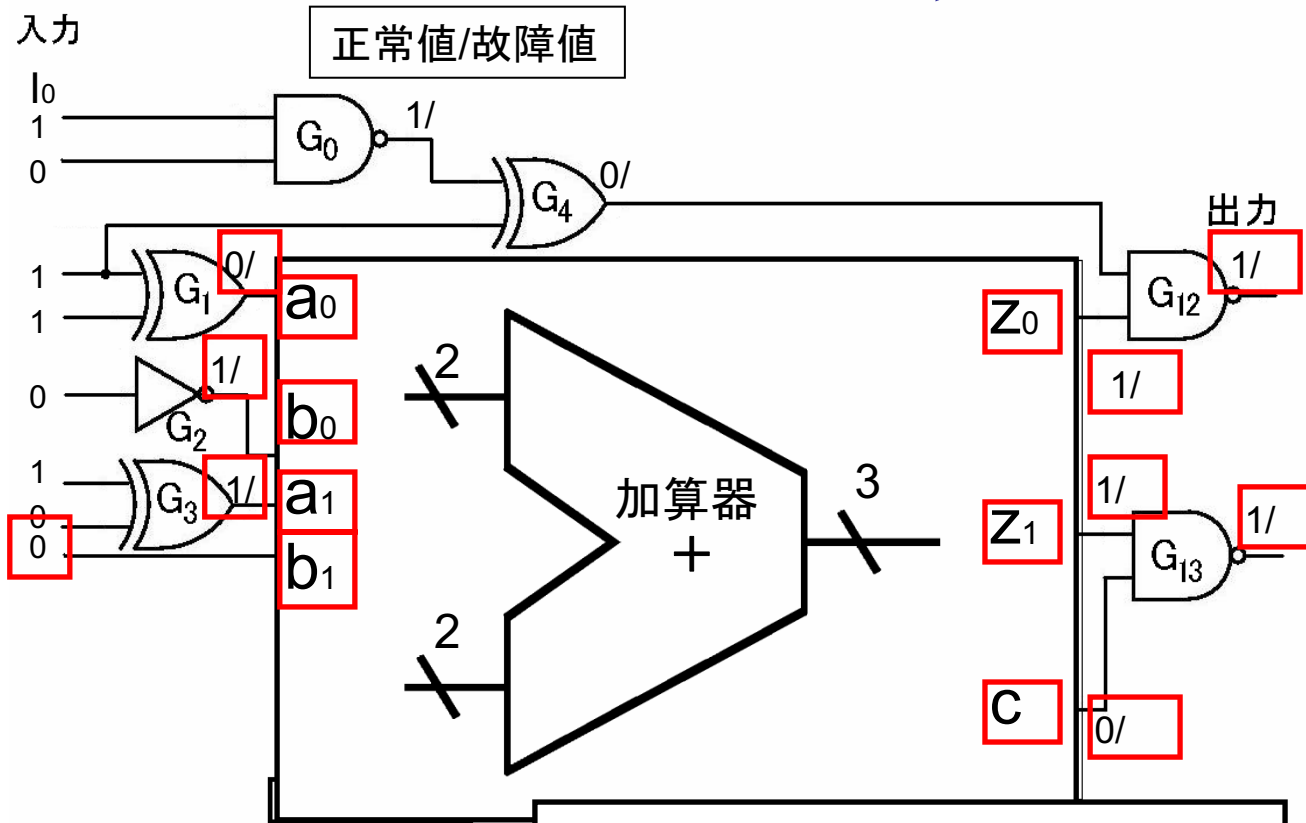
- 1 中性子の衝突によって、論理ゲートに電荷が収集される確率を電荷量ごとに見積もる
- 2 収集電荷量と、論理ゲートの出力で発生するパルスの幅の関係を求める
- 3 1の電荷収集確率と2の収集電荷量とパルス幅の関係式から、幅ごとのパルス発生確率を求める

回路レベルシミュレーション結果



2009.4.18 65nmインバータ サンプル数20、3次の曲線で近似

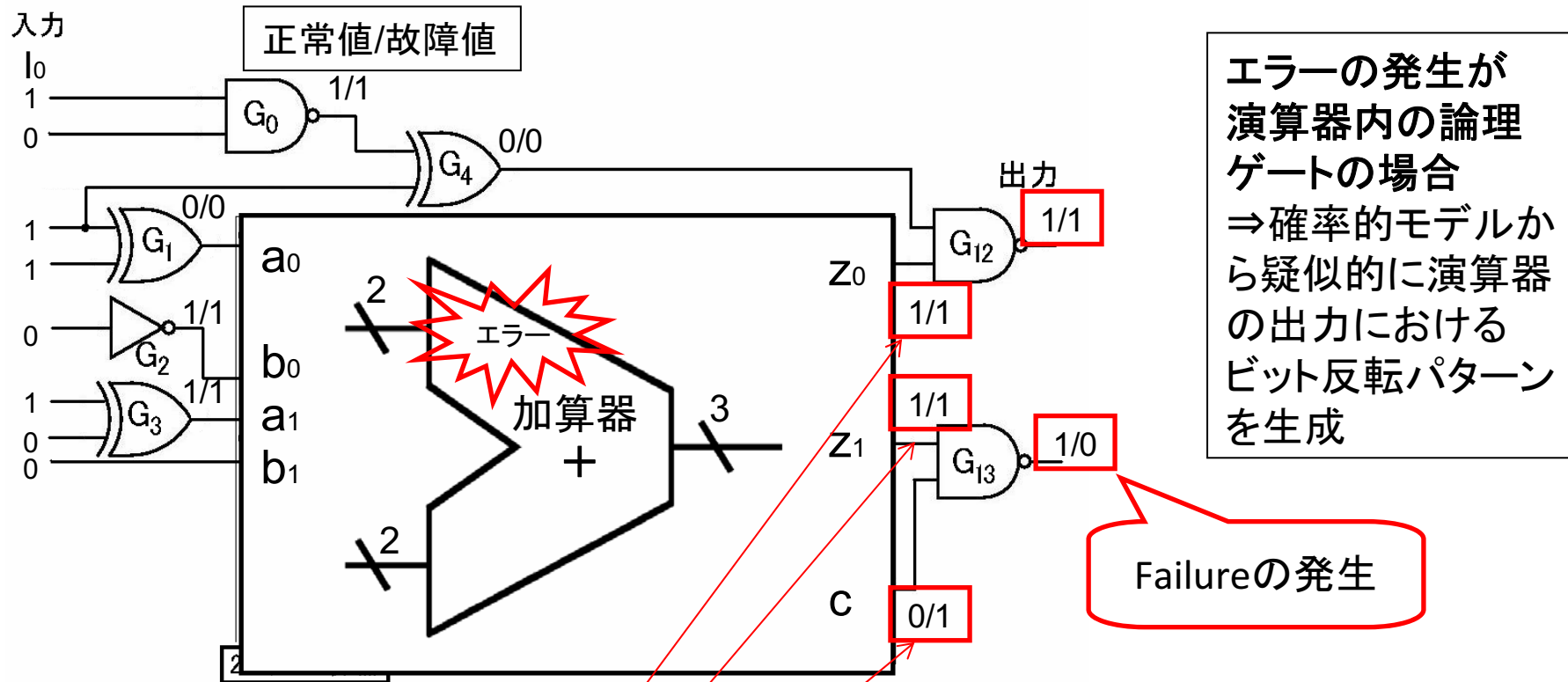
RTLレベル～正常回路(既存手法)



⇒算術演算器
の出力を, 算術
演算器の入力
から算術演算
により計算

$$\begin{array}{r}
 A + B = Z \\
 (a_1, a_0) \quad (b_1, b_0) \quad (c, z_1, z_0) \\
 10_{(2)} + 01_{(2)} = 011_{(2)}
 \end{array}$$

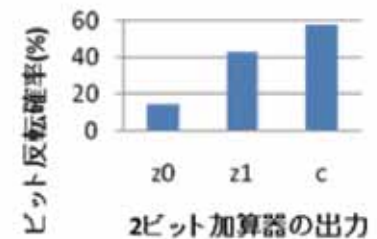
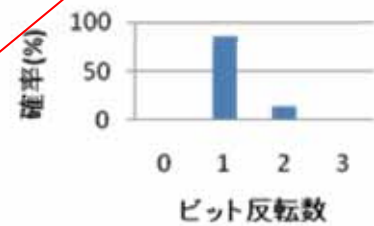
RTLレベル～故障回路



ビット反転パターンの生成

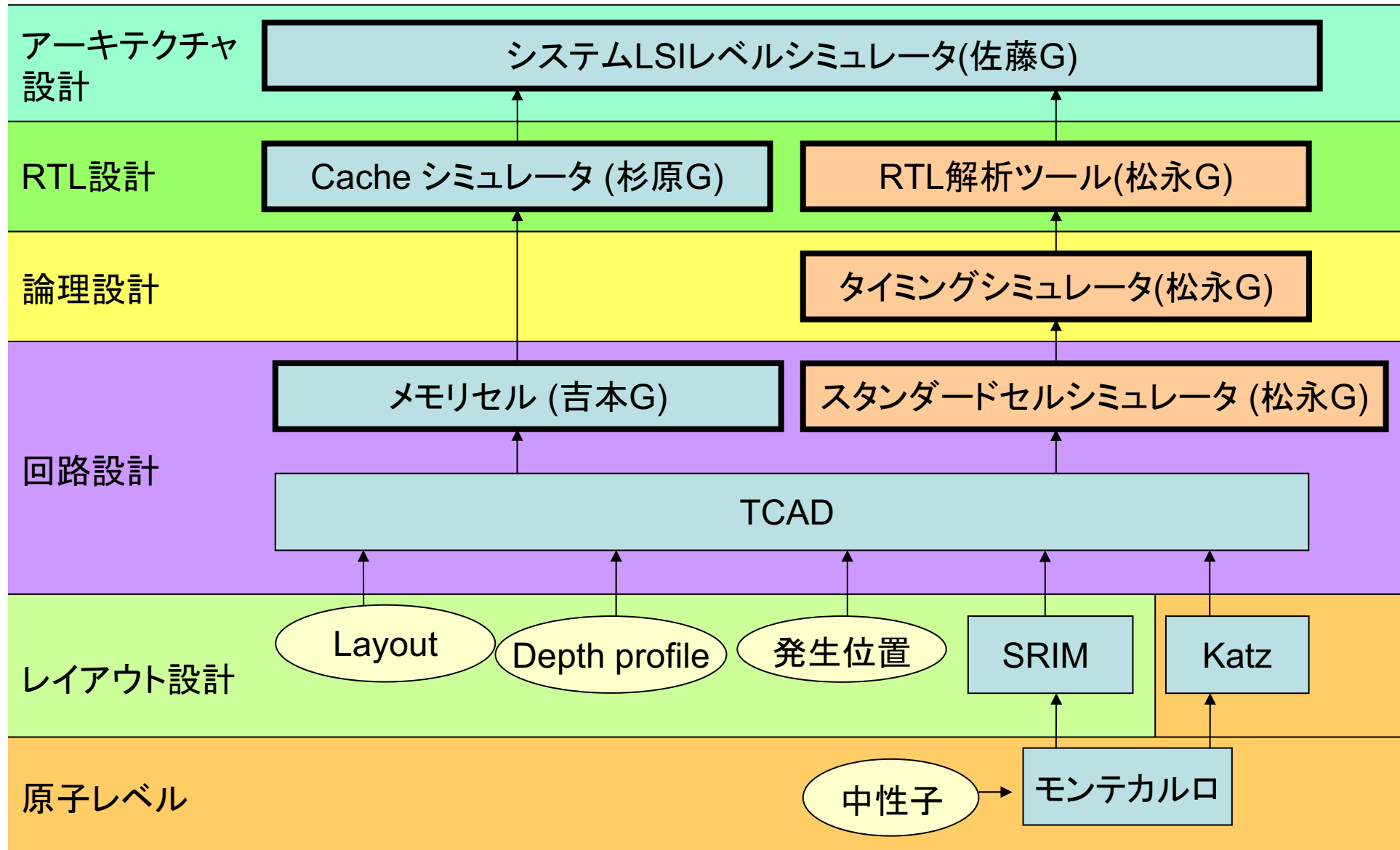
Z₀:反転無し
Z₁:反転無し
C :反転有り

Failureの発生



2ビット加算器の出力におけるビット反転数(左図)及びビット反転箇所(右図)の確率分布

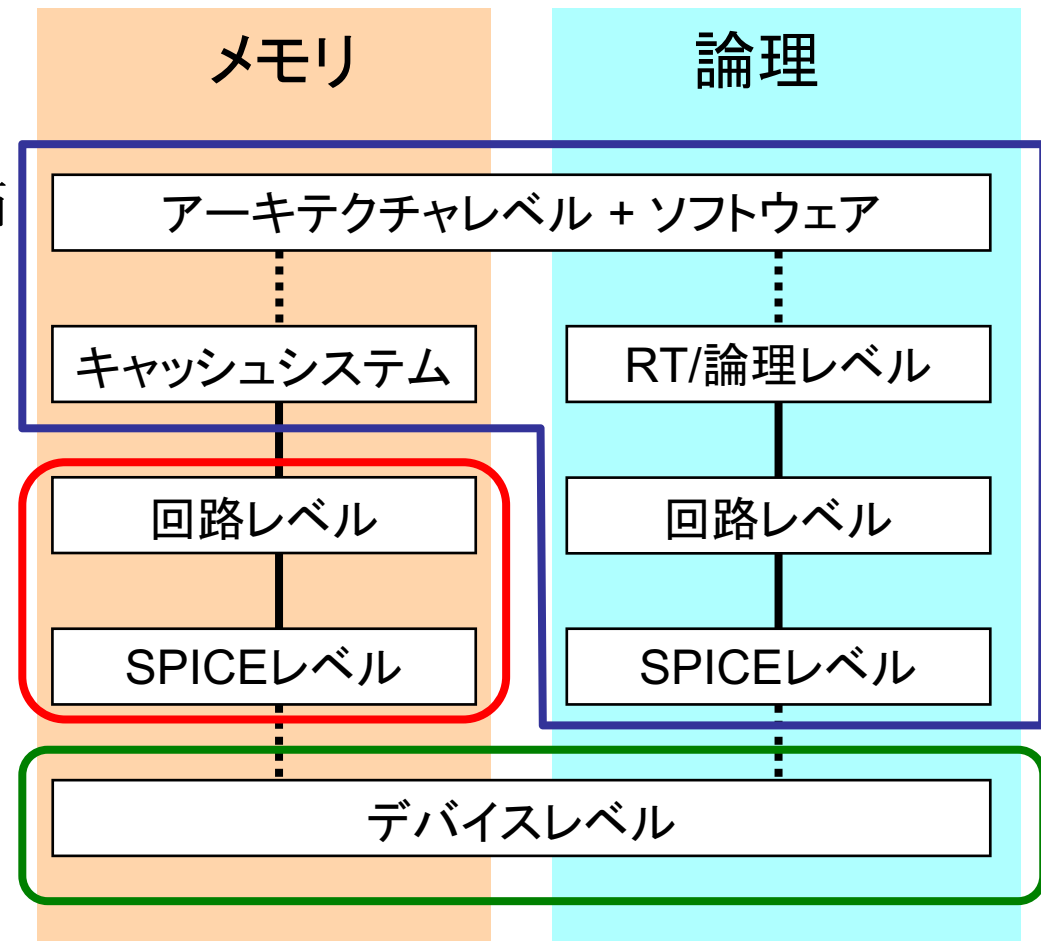
ツールチェーン



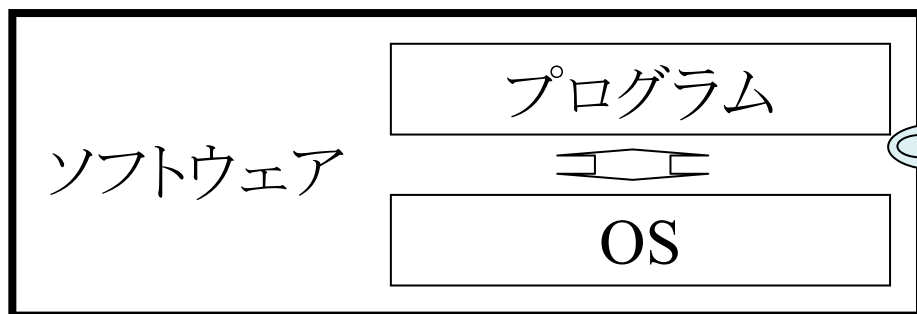
外部連携

- 協力分野
 - ソフトエラーの評価
 - シミュレーションによる評価
 - 実験による評価
 - 耐ソフトエラー改善技術開発

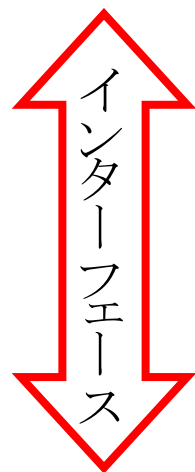
- 安浦チーム
- 神戸大吉本チーム
月1度打ち合わせ
- JAXAからのノウハウ



消費電力とのアナロジー ～OSとの関係



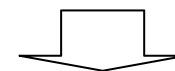
消費電力低減するために、ハードウェアをどのように制御すれば良いか？



制御するパラメータ

- ・電源電圧
- ・周波数
- ・パワーゲーティング
- ・ゲーテッドクロック
- ・処理の並列度

まず信頼性において、有効なパラメータを見極める

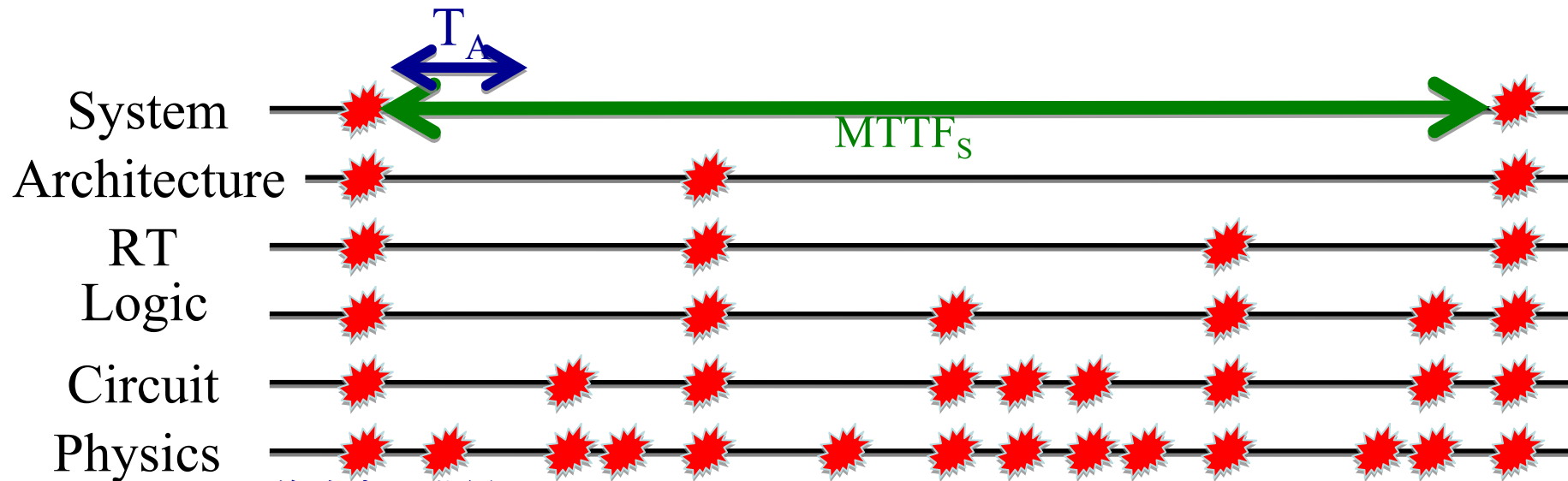


信頼性においても同様のインターフェースの構築を目指す

ハードウェア

制御機構

ソフトウェアに対するディペンダビリティ尺度



FITで議論する世界


- システム S のタスク A に対する Dependability

$$D(S, A) = MTTF_S / T_A$$

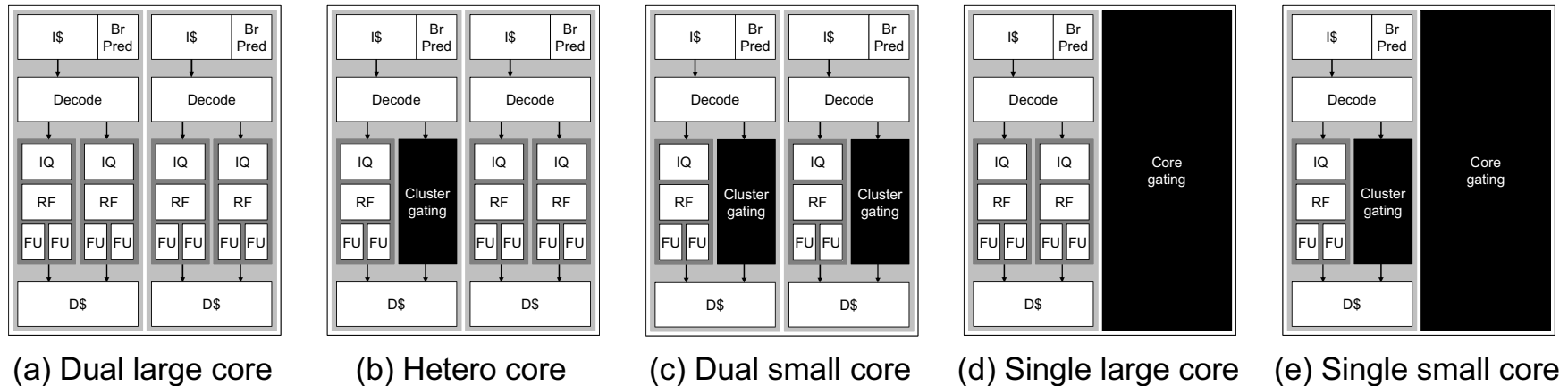
- $MTTF_S$: タスク A を繰り返し実行したときのシステム S の MTTF
- T_A : タスク A のシステム S での平均実行時間
- $D(S, A)$ が大きいほど Dependability が高い
- その他の Dependability 尺度の定義の可能性

– MTTF/製品平均寿命、MTTF/(製品平均寿命 × 製品出荷数)

2009.4.18

 : 当該レベルでのエラー

OSによるディペンダビリティ制御例



- クラスタ・ゲーティング & コア・ゲーティング
 - 様々なスケール/構成の実現手段をOSへ提供
 - ソフトウェアによるディペンダビリティ/性能/電力のコントロール
- タスクの特徴に配慮したディペンダビリティの確保
 - 例: 高速化と並列化の使い分け (消費電力とのアナロジー)
 - 低速にすることでソフトウェア耐性を増し, 並列化により性能を補う
- 今後, RTレベルと連携したアーキレベル評価手法を検討する

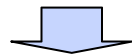
$$D(S, A) = \frac{MTTF_s}{T_A}$$

タイミングエラー

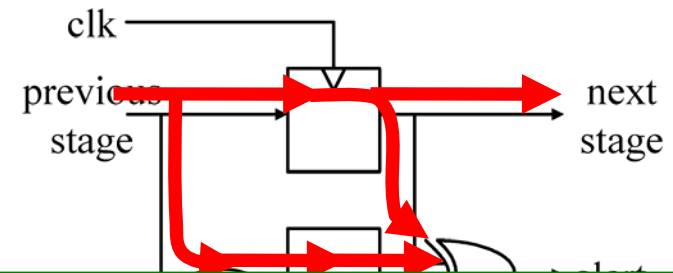
自然現象による脅威
設計ミスによる脅威

カナリアFFを用いたタイミング エラー検出技術

- DVS (Dynamic Voltage Scaling)で限界まで動作電圧を落としたいが、設計時には電圧を判定できない



動作時にカナリアFFを用いて判定する

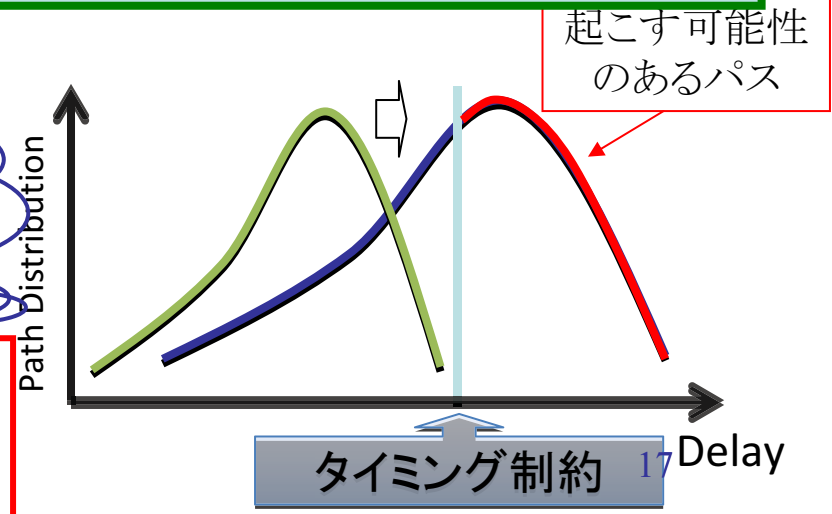


坂井グループとタイミングエラーに関して検討を開始

はない

タイミングエラーを起こさないパスを特定し挿入するカナリアFFを限定することで面積のオーバーヘッドを抑制する

面積の増加：
MePコアで約11%， M32Rで約2%



タイミング制約 17

まとめ

- 下位から上位のアーキテクチャレベルまでソフトウェアを見積もるツールチェーンの構築の見通しが立った
 - システムのディペンダビリティ尺度を提案した
- 今後の計画
- ディペンダビリティ尺度を高めるアーキテクチャを考える
 - ソフトエラーの見積もりの処理速度を向上する

今年度の成果リスト(1/2)

★ 原著論文7件

1. M. Sugihara, T. Ishihara, and K. Murakami, "Reliable cache architectures and task scheduling for multiprocessor systems," IEICE Transactions on Electronics, Vol. E91-C, No. 4, pp. 410-417, April 2008.
2. 佐藤 寿倫, 舟木 敏正, "マルチコアプロセッサのための電力・性能トレードオフを考慮したデペンダビリティ選択法", 情報処理学会論文誌, Vol.49, No.6, pp.2005-2015, June 2008.
3. 佐藤 寿倫, 国武 勇次, "ばらつき耐性を持つカナリアFFを利用したデザインマージン削減による省電力化", 情報処理学会論文誌, Vol.49, No.6, pp.2029-2042, June 2008.
4. 渡辺 慎吾, 橋本 昌宜, 佐藤 寿倫, "タイミング歩留まり改善を目的とする演算カスケードニング", 情報処理学会論文誌コンピューティングシステム, Vol.1, No.2, pp.12-21, Aug. 2008.
5. Toshinori Sato, "A Simple Mechanism for Collapsing Instructions under Timing Speculation", IEICE Transactions on Electronics, Vol.E91-C, No.9, pp.1394-1401, September 2008.
6. M. Sugihara, "Reliability inherent in heterogeneous multiprocessor systems and task scheduling for ameliorating their reliability," to appear in IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E92-A, No. 4, April 2009
7. Yuji Kunitake, Kazuhiro Mima, Toshinori Sato, Hiroto Yasuura, "Enhancements of a Circuit-level Timing Speculation Technique and their Evaluations Using a Co-simulation Environment", IEICE Transactions on Electronics, pp.483-491, E92-C, No.4, April 2009.

★ 口頭発表34件

8. 杉原真, "リアルタイム制約とSEU脆弱性制約の下でのヘテロジニアスマルチプロセッサ合成技術," 電子情報通信学会技術報告, Vol. 108, No. 23, pp.37-42, 神戸大学, 2008年5月.
9. 小玉翔, 松永裕介, "マルチプレクサの削減を目的としたバインディング改善手法", 信学技報, vol. 108, no. 22, VLD2008-4, pp.19-24, 2008年5月
10. 松永多苗子, 木村晋二, 松永裕介, "スイッチング確率を考慮した prefix graph 合成手法の改良について", 信学技報, vol. 108, no. 22, VLD2008-6, pp.31-36, 2008年5月
11. 国武 勇次, 佐藤 寿倫, 安浦 寛人, "入力依存の遅延ばらつきを利用するDVSシステムにおける性能およびエリアオーバーヘッドの改善検討", 情報処理学会研究報告, 2008-ARC-178, pp.93-98, May 2008.
12. Shingo Watanabe, Masanori Hashimoto, and Toshinori Sato, "Cascading Dependent Operations for Mitigating Timing Variability", Workshop on Quality-Aware Design, June 2009. **2009.4.18**

13. Mohammad Mesbah Uddin, Salahuddin Muhammad Salim Zabir, Yasunobu Nohara, and Hiroto Yasuura, "A Framework of Authentic Post-Issuance Program Modification for Multi-Application Smart Cards", Proceedings of the 2008 International Conference on Wireless Networks (ICWN '08), pp.288-294, Jun 2008.
14. 渡辺 慎吾, 橋本 昌宜, 佐藤 寿倫, "タイミング歩留まり改善を目的とする演算カスケードニング", 先進的計算基盤システムシンポジウム, pp.115-122, June 2008.
15. 国武 勇次, 佐藤 寿倫, 安浦 寛人, "カナリア方式におけるタイミングエラー見逃しに関する調査", 先進的計算基盤システムシンポジウム, pp.48-49, June 2008.
16. 大塚 信介, 川本 哲, 高野 茂, 馬場 謙介, 安浦 寛人, "モバイル端末を用いたキャンセラブルバイオメトリクスの効果的な適用", バイオメトリックシステムセキュリティ研究会第13回研究発表会予稿集, pp.59-64, Jun. 2008.
17. Shinsuke Ohtsuka, Satoshi Kawamoto, Shigeru Takano, Kensuke Baba, and Hiroto Yasuura, "A Note on Biometrics-based Authentication with Portable Device", Proc. International Conference on Security and Cryptography (SECRYPT 2008), pp.99-102, Jul. 2008.
18. 伊藤侑磨, 吉村正義, 安浦寛人, "暗号LSIにおけるテストバリエーションとセキュリティに関する一考察", 第59回FTC研究会, 2008年7月.
19. 杉木一也, 細川利典, 吉村正義, "機能的時間展開モデルを用いたデータパスのテスト生成法", 第59回FTC研究会, 2008年7月.
20. 万玲玲, 細川利典, 吉村正義, "BASTアーキテクチャにおけるドントケア抽出を用いた擬似ランダムパターンビット反転数削減の一手法", 第59回FTC研究会, 2008年7月.
21. 高田大河, 松永裕介, "深さ最小かつLUTの信号遷移確率の総和最小なLUT型FPGA向けテクノロジマッピング", DA シンポジウム, pp.79-84, 2008年8月
22. 杉原真, "性能と消費エネルギーを制約として考慮したヘテロジニアスマルチプロセッサ合成技術," 情報処理学会DAシンポジウム, pp. 43-48, 浜松, 2008年8月.
23. 渡辺 慎吾, 橋本 昌宜, 佐藤 寿倫, "タイミング歩留まり改善を目的とする演算カスケードニング", 情報処理学会論文誌コンピューティングシステム, Vol.1, No.2, pp.12-21, August 2008.
24. Toshimasa Funaki and Toshinori Sato, "Formulating MITF for a Multicore Processor with SEU Tolerance", 11th Euromicro Conference on Digital System Design, Vol.1, pp.234-241, September 2008.
25. 赤峰悠介, 松永裕介, "組み合わせ回路におけるソフトエラー伝播率計算手法の評価" 平成20年度電気関連学会九州支部大会, 04-2A-02, 2008年9月
26. Taeko Matsunaga, Sinji Kimura, and Yusuke Matsunaga, "Synthesis of parallel prefix adders considering switching activities", In proceedings of ICCD2008, pp.404-409, Oct. 2008
27. Yuji Kunitake, Toshinori Sato, and Hiroto Yasuura, "Mitigating Performance Loss in Aggressive DVS Using Dual-Sensing Flip-Flops", 16th IFIP/IEEE International Conference on Very Large Scale Integration, pp.543-546, October, 2008.

今年度の成果リスト(2/2)

★口頭発表 続き

28. 松永裕介, "組み合わせ論理回路におけるソフトウェアの論理マスク効果の正確な見積もり手法について", 信学技報, vol. 108, no. 228(SIP), SIP2008-116, pp. 53-58, 2008年10月
29. 松永多苗子, 木村晋二, 松永裕介, "FPGAを対象とした部分積加算回路の合成について", 信学技報, vol. 108, no. 228(SIP), SIP2008-117 pp. 59-64, 2008年10月
30. 中村 徹, 稲永 俊介, 馬場 謙介, 池田 大輔, 安浦 寛人, "プライバシー保護とメモリ効率性の両立を実現するマルチサービス環境向け認証方式", コンピュータセキュリティシンポジウム2008(CSS2008), Vol.2008, No.10, pp.67-72, Oct. 2008.
31. Kazuya Sugiki, Toshinori HOSOKAWA, Masayoshi YOSHIMURA, "A Test Generation Method for Datapath Circuits Using Functional Time Expansion Models", 9th Workshop on RTL and High Level Testing, pp.69-74, November 2008.
32. LingLing WAN, Motohiro WAKAZONO, Toshinori HOSOKAWA, Masayoshi YOSHIMURA, "A Bit flipping Reduction Method for Pseudo-random Patterns Using Don't Care Identification on BAST Architecture", 9th Workshop on RTL and High Level Testing, pp.111-116, November 2008.
33. Masayoshi YOSHIMURA, Yuma ITO, Hiroto Yasuura, "Design For Testability Methods against Scan based Attacks", Joint Seminar on Advanced LSI Test Technology, December 2008.
34. 国武 勇次, 佐藤 寿倫, 山口 誠一郎, 安浦 寛人, "タイミングエラーの予報を目的とするカナリアFFの挿入位置限定", 情報処理学会研究報告, 2008-SLDM-137, pp.85-89, November 2008.
35. Hiroto Yasuura, "Dependable VLSI: Device, Design and Architecture -- How should they cooperate?", 14th Asia and South Pacific Design Automation Conference(ASP-DAC 2009), January, 2009.
36. Shingo Watanabe, Masanori Hashimoto, Toshinori Sato, "A Case for Exploiting Complex Arithmetic Circuits towards Performance Yield Enhancement", 10th International Symposium on Quality Electronic Design, pp401-407, March 2009.
37. Toshinori Sato, Shingo Watanabe, "Uncriticality-directed Scheduling for Tackling Variation and Power Challenges", 10th International Symposium on Quality Electronic Design, pp 820-825, March 2009.
38. 松永裕介, 安浦寛人, 場謙介, 吉村正義, 佐藤寿倫, 杉原 真, "ディペンダブルVLSI設計技術への挑戦", 電子情報通信学会総合大会, AI-1-6, March 2009.
39. 平田元春, 吉村正義, 松永裕介, 安浦寛人, "算術演算器を含む回路に対する高速なソフトウェア率評価手法", DC研究会, 2009年4月発表予定
40. 小津和大昌, 吉村正義, 松永裕介, "セルベース設計に適したSER評価の為のパルス発生確率解析手法", DC研究会, 2009年4月発表予定
41. 原田翔次, 赤峰悠介, 吉村正義, 松永裕介, "SER評価のための論理回路におけるパルスの伝搬解析", DC研究会, 2009年4月発表予定

★ポスター発表3件

42. Yuji Kunitake, Toshinori Sato, Hiroto Yasuura, "Mitigating Performance Loss in Aggressive DVS Using Dual-Sensing Flip-Flops", 16th IFIP/IEEE International Conference on Very Large Scale Integration, Oct. 2008.
43. 九州大学, 豊橋技術科学大学, "統合的高信頼化設計のためのモデル化と検出・訂正・回復技術", イノベーションジャパン2008, 東京国際フォーラム, 2008年9月16日～18日
44. 九州大学 大学院システム情報科学研究所, 九州大学システムLSI研究センター, 豊橋技術科学大学, "耐ソフトウェア設計支援ツールの開発", Electronic Design and Solution Fair 2009, パシフィコ横浜, 2009年1月22日～23日

★修士論文/卒業論文4件

45. 松村忠幸, "SRAM回路の低消費エネルギー化と安定性に関する研究", 修士論文, 2009年2月
46. 平田 元春, "算術演算器に着目したSER評価の高速化手法", 卒業論文, 2009年2月
47. 小津和大昌, "回路レベルのSER評価の為のパルス発生確率解析手法", 卒業論文, 2009年2月
48. 原田翔次, "SER評価のための組み合わせ論理回路におけるパルスの伝搬解析", 卒業論文, 2009年2月