

アーキテクチャと形式的検証の協調 による超ディペンダブルVLSI

戦略的創造研究推進事業
「ディペンダブルVLSIシステムの基盤技術」

東京大学 大学院情報理工学系研究科

坂井 修一（代表者）

五島 正裕

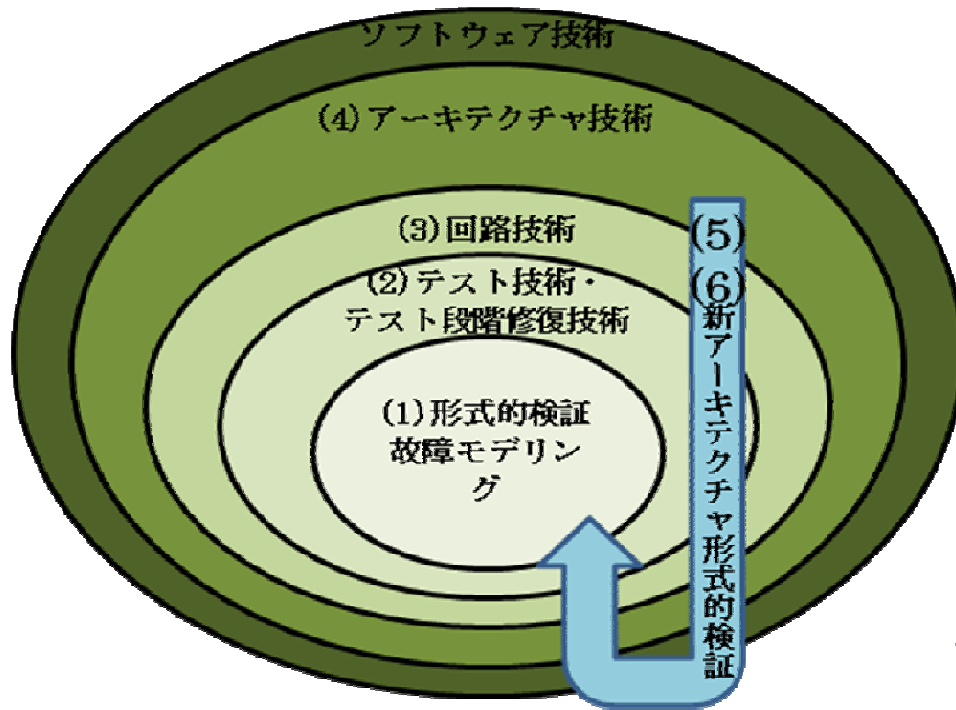
東京大学 大規模集積システム設計教育研究センター（VDEC）

藤田 昌宏

東京工業大学 大学院情報理工学研究科

吉瀬 謙二

全体マップ：ディペンダビリティ階層



(1) 形式的検証手法

- C/C++言語ベースVLSI高位設計
- 対話・自動ドキュメント化のための要素技術

(2) テスト技術・テスト段階修復技術

- テスト容易化・検証容易化を実現する設計手法
- フィールドプログラマブル性を部分的に導入可能な合成手法 = テスト段階でデザインミスをとる

(3) 回路技術

- タイミング制約緩和回路

(4) アーキテクチャ技術

- 故障検出・回復機構の提案・実現
- 制御部を含めたFPGA仮想化
- 耐故障高機能ルータ
- 超ディペンダブルプロセッサ

(5)(6) 新アーキテクチャ形式的検証

- ディペンダブルアーキテクチャ技術自体を形式的に検証
- 既存のアーキテクチャ、最新のアーキテクチャを形式的に検証

(7) 各設計階層間のディペンダビリティ役割分担を最適化

それぞれの階層で技術開発
 + 全体を通じた最適化
 + 最新アーキテクチャの検証

Best Effort Design
 Run Time Recovery

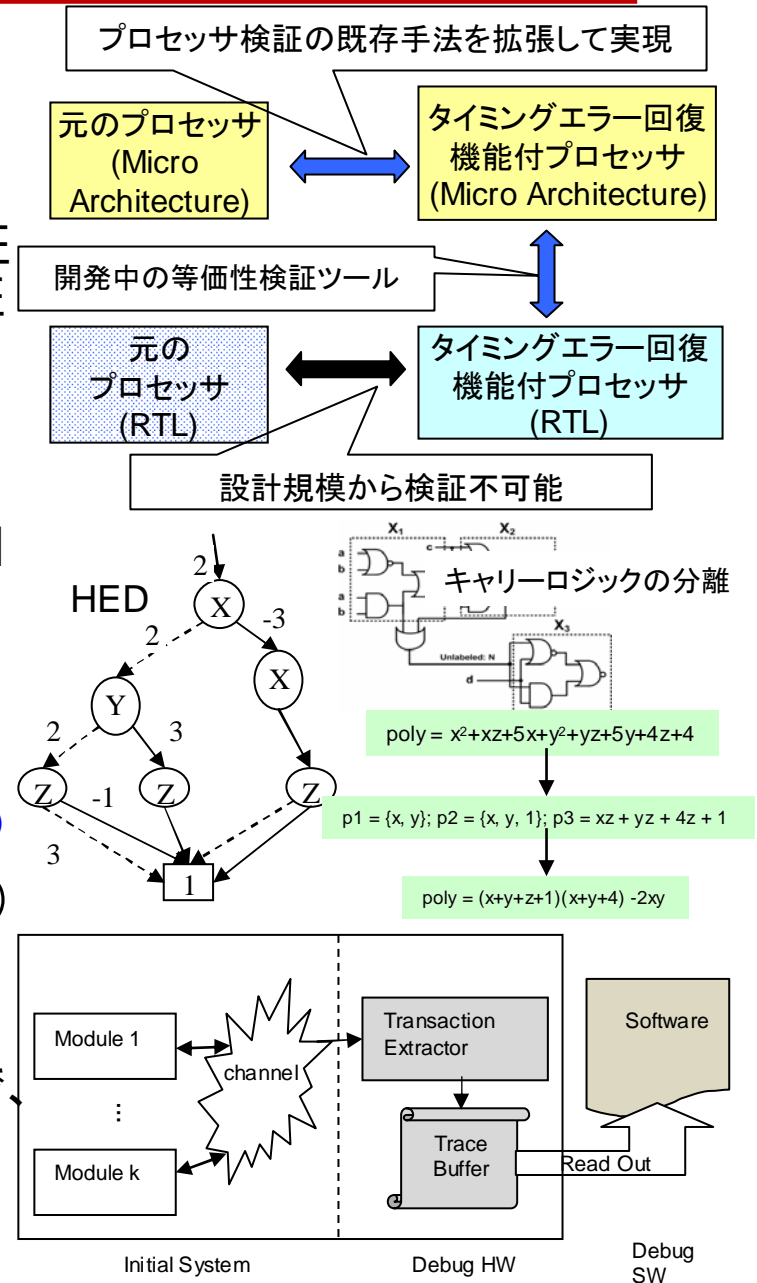
前半3年： 方式検討、基本設計、実験システム構築・評価
 後半2年： プロトタイプ試作と評価、要素技術の統合

期待される成果

- VLSIユーザ
 - 設計の正しさの向上、リコール減少
 - VLSI製作後のバグフィックスや機能修正による利便性向上
 - 保証される動作速度の向上
 - 宇宙・深海などの環境でも高い信頼性をもって情報処理ができるようになる
- VLSI設計・製造者
 - 「上位で設計の正しさを保ちながら、設計の詳細化を行い実装設計につなげる」ことができるようになる
 - 設計効率一桁向上
 - 並列処理・パイプライン処理・キャッシュなどの機構が効率的に検証できるようになる
 - 「最悪値の積算」が、「典型値＋回路・アーキテクチャによる補正」によって緩和される
- 成果物・デモ
 - 形式検証ツール
 - 等価性検証ツール
 - 上位設計からの製造故障用テスト生成ツール
 - テスト段階修復技術
 - インフィールドで論理修正が可能な論理回路生成(論理合成)ツール
 - ディペンダブル回路技術
 - 回路(IP)
 - ディペンダブルアーキテクチャ技術
 - 要素技術仕様、IP
 - PVTIテストベッド
 - 耐故障テストベッド
 - デモ・展示:
 - 形式検証デモ
 - 試作VLSI
 - 超ディペンダブルVLSIテストベッド
 - 特許、知財
 - 書き物
 - 論文:ジャーナル、国際会議、研究会、全国大会
 - 報告書

形式的検証・デバッグ支援

- ディペンダブル・アーキテクチャの形式的検証
 - ディペンダビリティを向上させた設計と元の設計間の等価性検証問題
 - マイクロアーキテクチャレベルの形式的検証と開発中の異なる設計レベル間等価性検証
 - DLXプロセッサにおけるタイミングエラー訂正の検証を実証 (out-of-orderも)
- カスタム算術演算回路の合成・最適化・検証
 - 仕様である多項式とそれを実現する算術演算回路の形式的等価性検証手法を新規開発
 - 128ビット演算も1分程度で検証・デバッグ可能
 - 多項式レベルの最適化により、従来比40%面積・遅延改善した算術演算回路自動生成 (DAC, ICCAD, TCAD)
- 製造後デバッグ支援 (Post-silicon verification)
 - 製造されたチップ内に残る設計バグ、並びに電気的故障 (Electrical error) を効率よくデバッグ
 - バス通信をモニタする回路を挿入することでトランザクションレベルで効率的に解析
 - チップでのエラートレースと上位設計の対応を利用した効率的デバッグ手法 (ICCD, ATS)

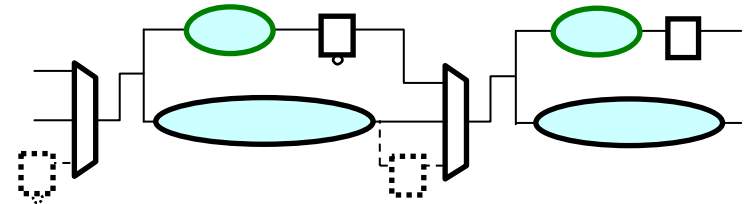


回路技術・アーキテクチャ技術

1. ばらつきを吸収する回路技術

◆ タイミング制約を緩和するクロッキング方式

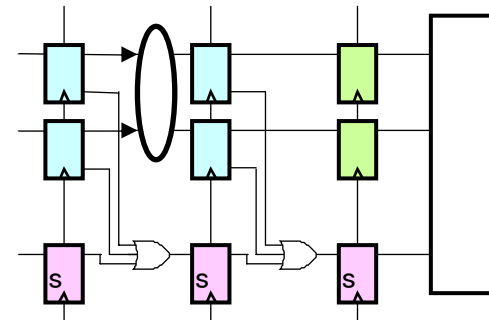
- タイム・ボローイング強化により、高クロック化/低電圧化



2. 過渡故障の回復

◆ リセットによる過渡故障回復手法

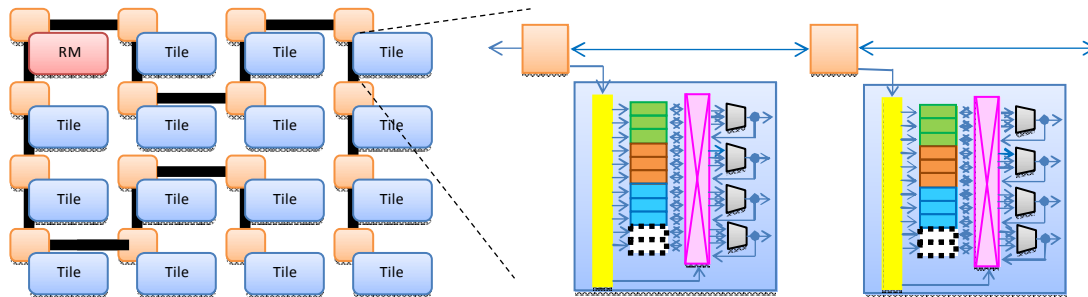
- リセット→アーキテクチャ状態から再開
(SimpleかつGeneral)



3. 永久故障の回復

◆ 耐永久故障FPGAアーキテクチャ

- 回復マネージャ自身も故障・回復の対象



超ディペンダビリティ支援高機能ルータ

高機能ルータを核として送受信パケットのレベルで冗長実行を実現するシステムの開発

➤ 高機能ルータアーキテクチャ

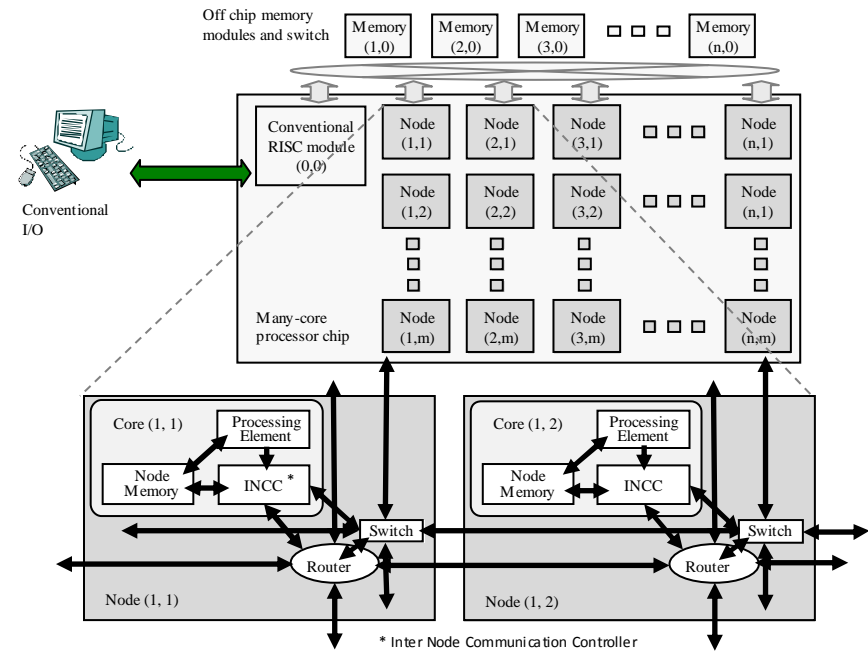
冗長実行自動支援のためのパケットの複製、
同一性検出、マージの機能を実現する

- ルータでパケットを受信するタイミングを調整
- ルータでパケットを送信する宛先を調整
- ルータでパケットを比較してエラー検出

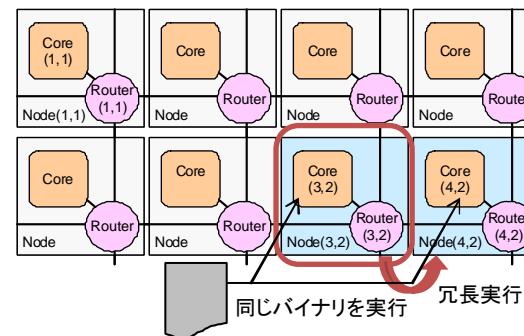
➤ SmartCoreシステム

多数のコアと高機能ルータによって
ディペンダビリティ向上と速度向上を目指す

- 高機能ルータアーキテクチャの開発
高機能ルータによるコア間パケットの複製、チェックによる
ディペンダビリティ/バンド幅の向上に関する検討と評価
(SAC SIS)
- マルチコアシミュレータの改良
高機能ルータアーキテクチャの評価のための機能追加
(UPDAS)
- 評価のためのFPGAシステムの整備
ベースシステム: ScalableCore v0.6の試作
SmartCoreシステムシミュレーション環境の構築について検討
ScalableCore Unit間の通信が130Mbpsであれば (WARP 他)
SWシミュレータの100倍高速
- マルチコア開発支援ソフトウェア
タスクのコア配置最適化手法の検討および予備評価
QAP問題として定式化・GRASPIによる求解
(SWoPP)



高機能ルータをもつマルチコアシステムアーキテクチャ



同じバイナリを実行することでディペンダビリティと速度の向上を目指す

評価のためのFPGAによるシステムの構築



企業連携・社会連携

- **国内企業：CADソースコード提供**
 - 国内5社、特に2社(NDA)
- **国内企業：回路・コアアーキテクチャ**
 - 東大TLOを介してLSIベンダ(NDA)と交渉
 - 知財・IP戦略が中心に
- **国内企業：マルチコアアーキテクチャ**
 - メニーコア：組込VLSIへの展開
- **国内機関**
 - JAXA
 - システムレベル設計ツール内の形式的検証ツールを引き取り、CRESTで開発中の検証ツールと融合予定
- **海外大学：NDA下によるCADソースコード提供**
 - Oxford University
 - フロントエンドと等価性検証ベンチマークで共同研究
 - Indian Institute of Science
 - University of Florida
 - New York City College
- **海外機関：CADオブジェクトコード提供**
 - NASA
 - Bremen University(ドイツ)
- **海外大学：ディペンダブルアーキテクチャ研究協力：RAMPグループ**
 - Carnegie Mellon University
 - MIT
 - University of Texas, Austin
- **学会・協会**
 - 電子情報通信学会CPSY・DC：CREST共同企画による研究会(2008/4, 2010/4予定)
 - 情報処理学会(50周年全国大会企画など)
 - 学術会議：セキュリティ・ディペンダビリティ分科会(提言)との協調

今後

国内SoCベンダ

CADツール提供

アーキテクチャ共同開発

マイクロプロセッサベンダ

知財提供

欧米大学

ツール提供による共同研究

アーキテクチャ共同開発

達成度・グループ間連携

- 達成度

- － 形式的検証

- 形式的検証ツール： 100%
 - アーキテクチャの形式的検証： 100%
 - デバッグ支援： 95%

- － 回路・アーキテクチャ

- 耐ばらつき回路： 110%
 - 故障回復アーキテクチャ： 100%
 - 永久故障の回復： 90%

- － 超ディペンダビリティ支援ルータ

- コアプロセッサ設計、シミュレータ製作： 110%
 - ルータ仕様策定・設計： 90%

- グループ間連携

- － 超ディペンダブルプロセッサの検証： 藤田＋坂井・五島 120% (順調)

- － コア設計情報の共通化・展開： 坂井・五島＋吉瀬 110%

- － ディペンダブル用テストボードの共通化・展開： 坂井・五島＋吉瀬 90%

- － ディペンダビリティ役割分担最適化： 後半に展開