

アーキテクチャと形式的検証の協調 による超ディペンダブルVLSI

戦略的創造研究推進事業
「ディペンダブルVLSIシステムの基盤技術」

東京大学 大学院情報理工学系研究科

坂井 修一（代表者）

五島 正裕

東京大学 大規模集積システム設計教育研究センター（VDEC）

藤田 昌宏

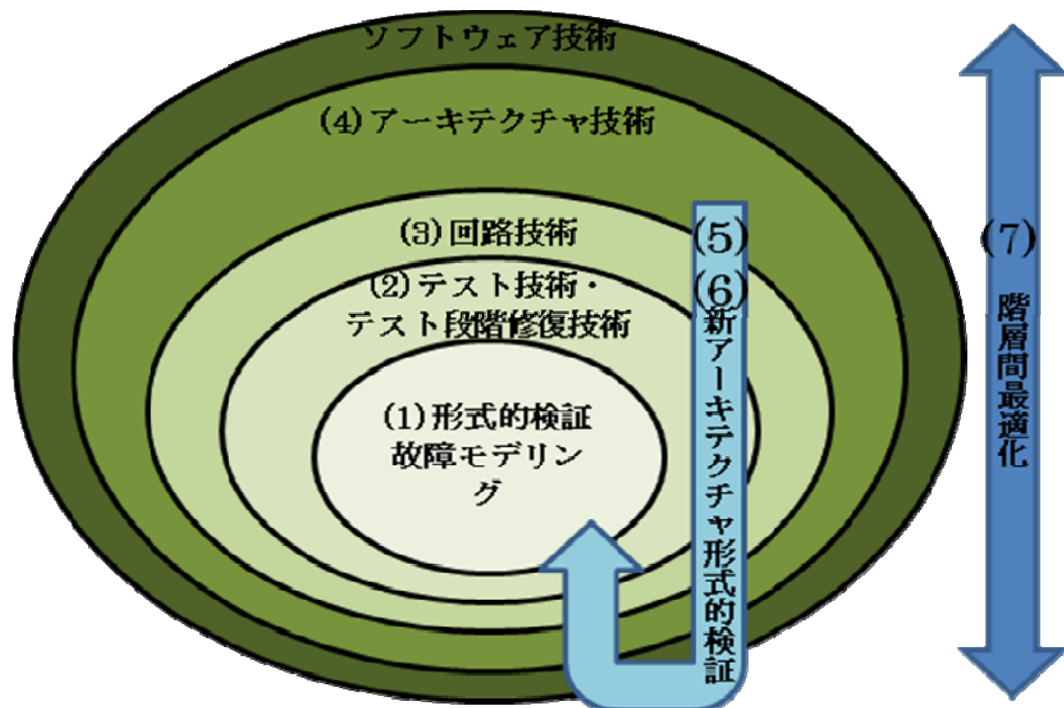
東京工業大学 大学院情報理工学研究科

吉瀬 謙二

日本電気（株）

若林 一敏

全体マップ：ディペンダビリティ階層



それぞれの階層で技術開発
 + 全体を通した最適化
 + 最新アーキテクチャの検証

Best Effort Design
 Run Time Recovery

(1) 形式的検証手法

- 等価性検証ソフトウェア
- ハード・ソフト協調による検証高速化・エミュレータへの応用
- ボトムアップ・トップダウン協調検証
- 算術回路合成・検証・高速化
- 設計解析技術・デバッグ支援

(2) テスト技術・テスト段階修復技術

- テスト容易化・検証容易化を実現する設計手法
- プログラマブル素子自動挿入

(3) 回路技術

- タイミング制約緩和回路

(4) アーキテクチャ技術

- 故障検出・回復機構の提案・実現
- 耐永久故障FPGA
- 耐故障高機能ルータ
- 超ディペンダブルプロセッサ、超ディペンダブルメモコア

(5)(6) 新アーキテクチャ形式的検証

- ディペンダブルアーキテクチャ技術自体を形式的に検証
- 既存のアーキテクチャ、最新のアーキテクチャを形式的に検証

(7) 各設計階層間のディペンダビリティ役割分担を最適化

前半3年：方式検討、基本設計、実験システム構築・評価
 後半2年：プロトタイプ試作と評価、要素技術の統合
 2011/3/5

形式的検証とテスト段階の修復

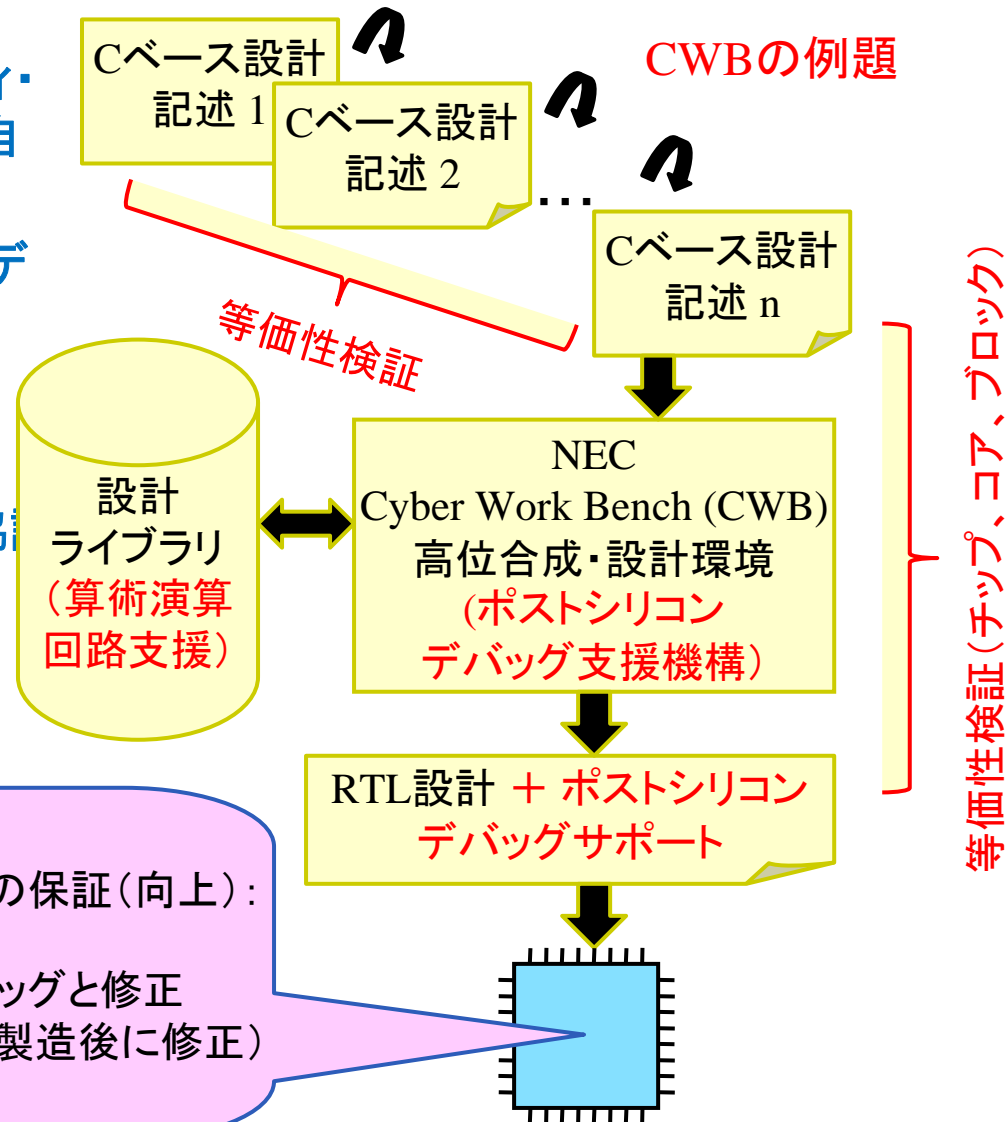
技術的成果

- 等価性検証フレームワーク FLEC
- アーキテクチャ・ディペンダビリティ機構の検証高性能算術演算回路自動合成
- 上位設計記述によるpost-siliconデバッグ

出口戦略(発展テーマ):

実設計での評価・改良

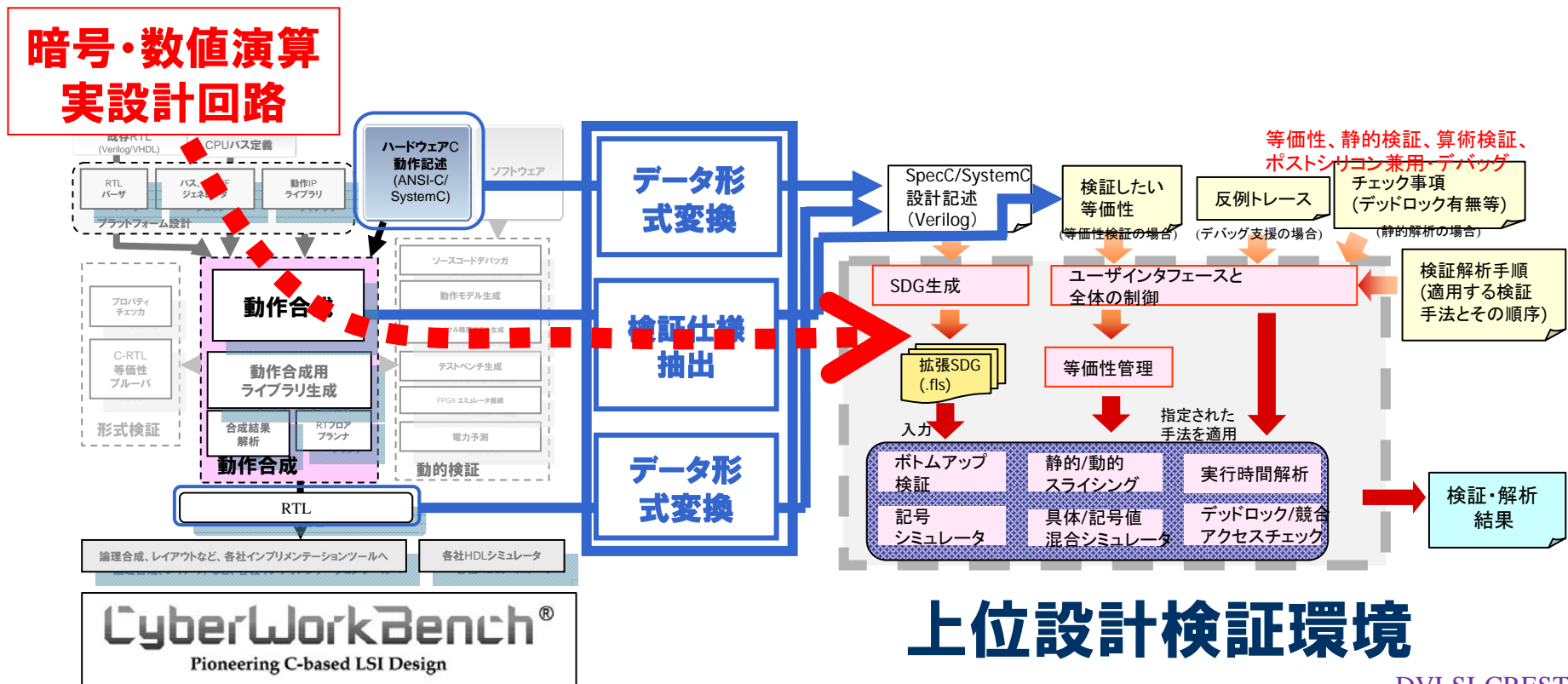
- 検証ツールにおけるNEC他との協業
- 算術演算回路設計・検証ツール
- ポストシリコンデバッグ・ツール



検証技術実証グループ

形式的検証グループ成果の実用化に向けた評価・実証

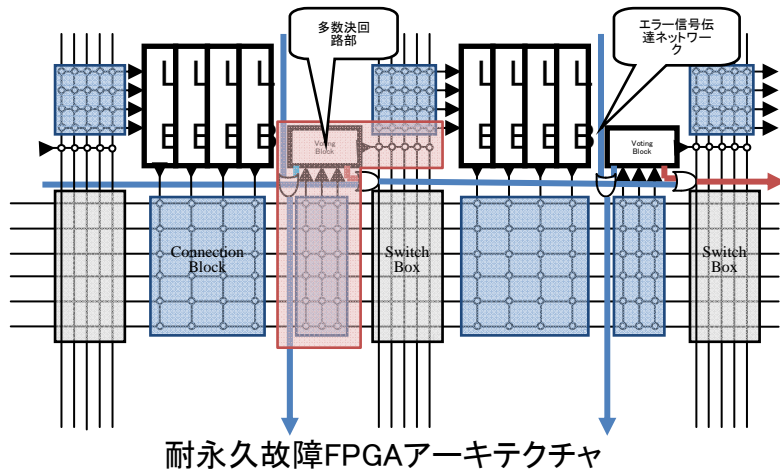
- 商用高位設計ツール (NEC: CyberWorkBench (CWB)) と上位設計検証環境 (FLEC) とのインタフェースの構築
- 実設計回路(暗号・数値演算など)を用いた評価・実証



回路・アーキテクチャグループ

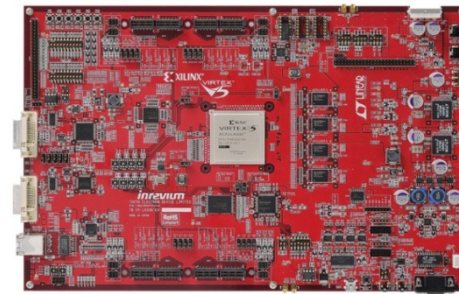
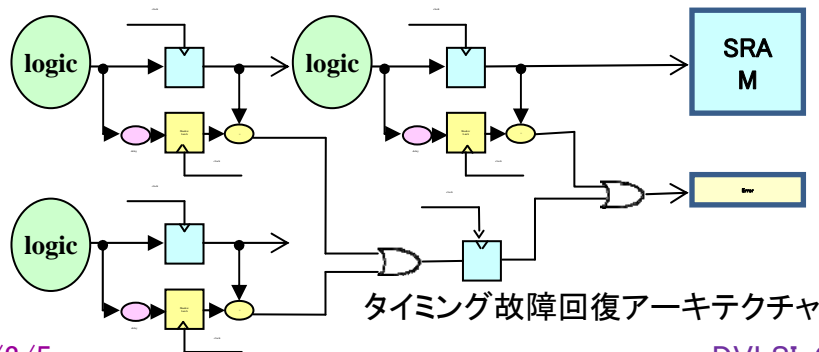
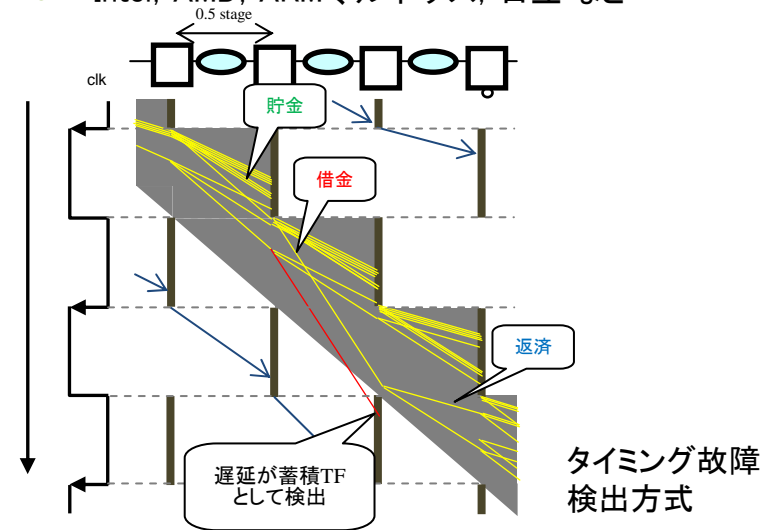
■ 耐過渡・耐永久故障 FPGA

- ◆ 「高信頼用途にも使える通常用途用 FPGA」の実現
 - 再構成回路のユーザ・ロジック化
 - 多数決回路のハードワイアード・ロジック化
- ◆ 出口：具体的な協議
 - 宇宙研
 - NEC宇宙システム事業部, NEC東芝スペースシステム耐タイミング故障プロセッサ



■ 耐タイミング故障プロセッサ

- ◆ 将来問題となるランダムばらつきに対処
 - 動的タイミング故障検出＋二相ラッチ ⇒ クロック x2
 - パイプライン初期化による回復 ⇒ スーパスカラにも適用可能
- ◆ 出口：LSI ベンダとの具体的な協議
 - Intel, AMD, ARM、ルネサス, 日立 など



超ディペンダビリティ支援高機能ルータグループ

VLSIプロセッサの主流となるマルチコアコア、メニーコアプロセッサのディペンダビリティ向上

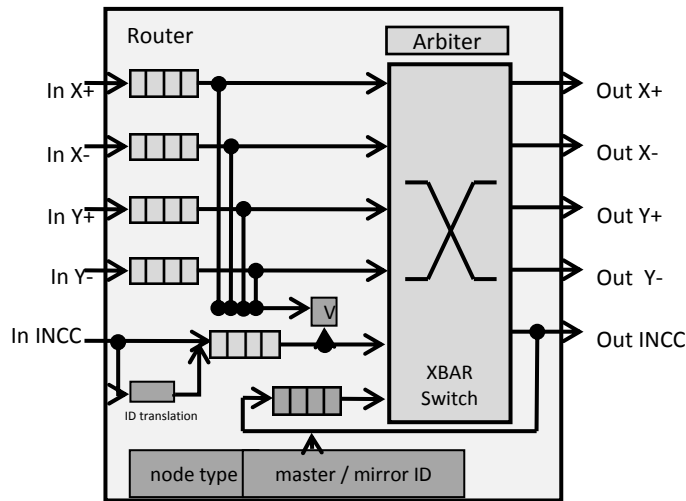
■ SmartCoreシステム

- 高機能ルータを核として送受信パケットのレベルで多重実行を実現するシステム
- 多数のコアと高機能ルータによってディペンダビリティ向上と速度向上を目指す

■ マルチコアシミュレータ, FPGAプロトタイプシステム

■ マルチコア開発支援ソフトウェア

- タスク配置手法

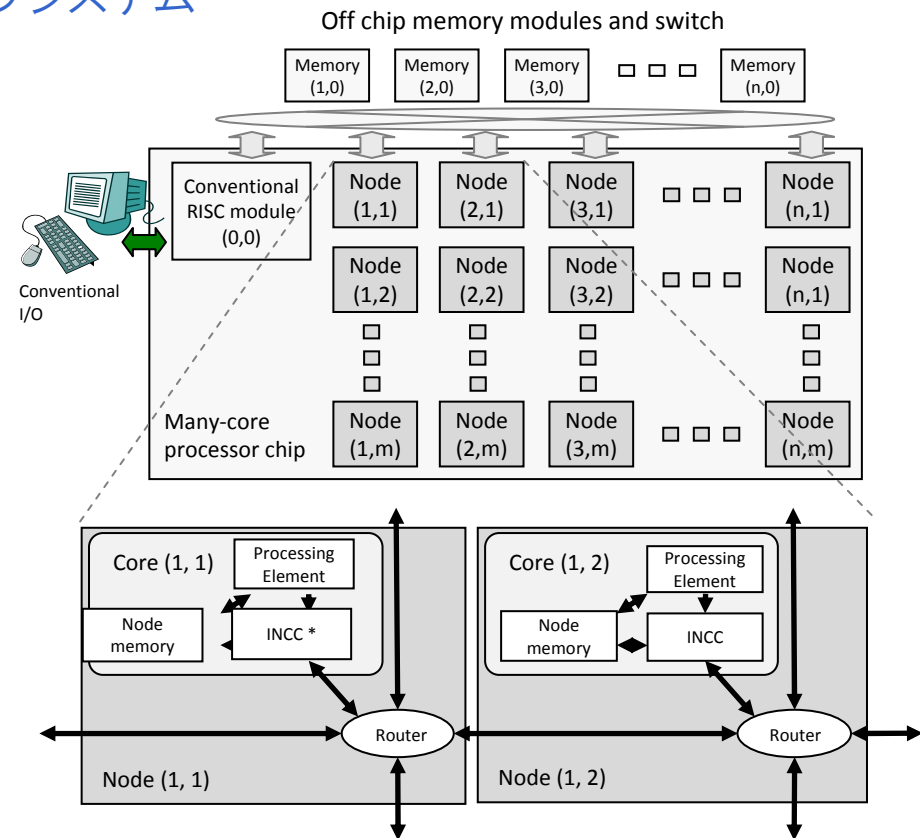


高機能ルータアーキテクチャ

冗長実行自動支援のためのパケットの複製、
同一性検出、マージの機能を実現

- パケットを送信する宛先を調整
- パケットを比較してエラー検出
- パケットを複製

2011/3/5



* Inter Node Communication Controller

高機能ルータをもつマルチコアシステムアーキテクチャ M-Core

DVLSI-CREST