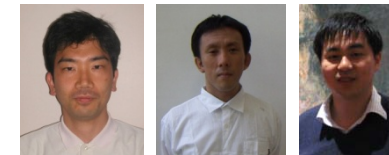


ロバストファブリックを用いたディペンダブルVLSIプラットフォーム

研究代表: 小野寺秀俊(京都大学)

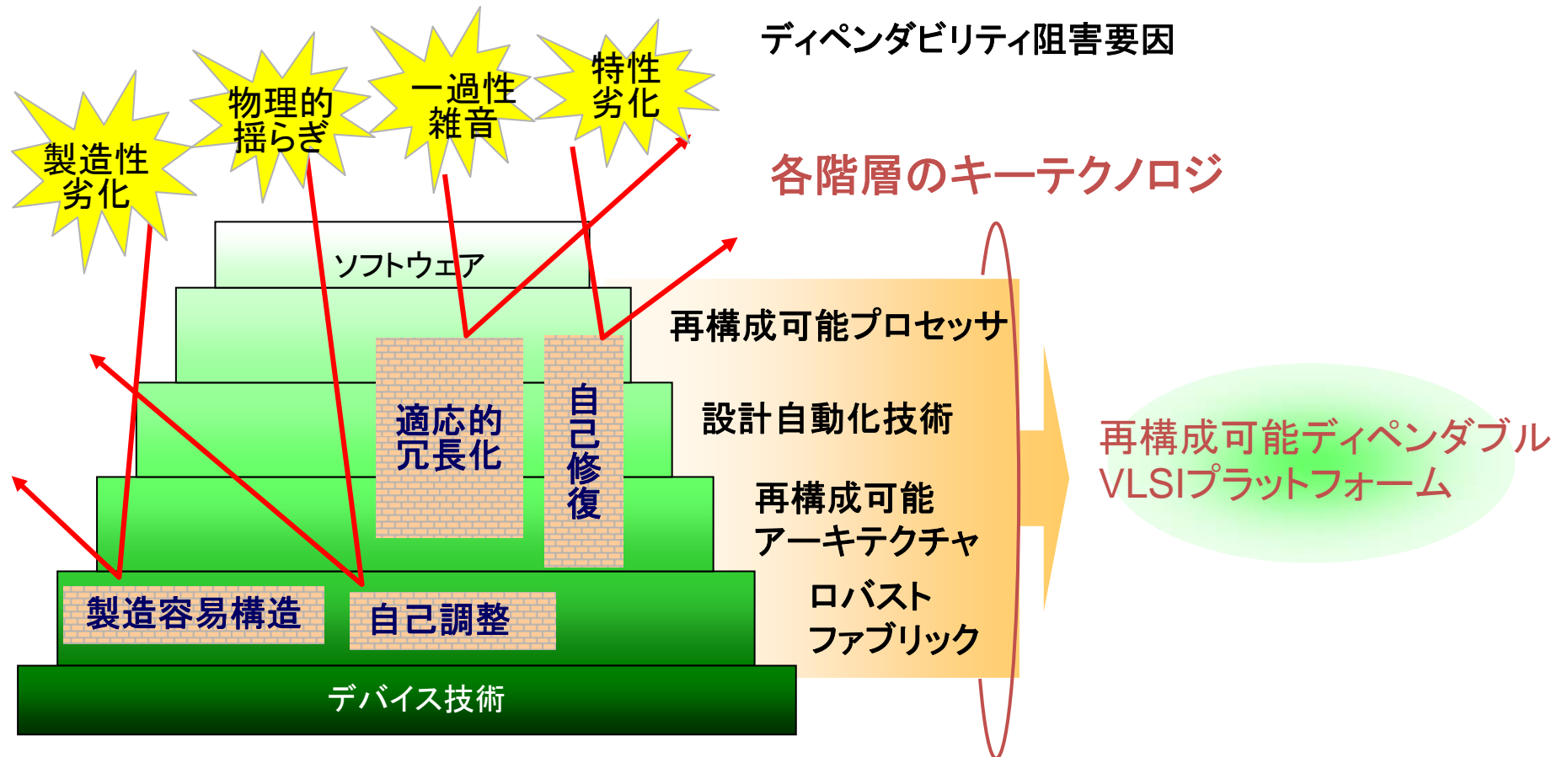
研究体制

- ロバストファブリック
 - 製造容易でばらつき耐性高い要素回路
 - 主担当: 小野寺、佐藤、土谷(京大)
- 再構成アーキテクチャ
 - 信頼性可変でホットスワップ可能構造
 - 主担当: 尾上、橋本(阪大)、密山(高知工科大)
- 再構成プロセッサ
 - 信頼性可変プロセッサ
 - 主担当: 小林(工繊大)、嶋田、姚(奈良先端)
- マッピング技術
 - 信頼性考慮マッピング
 - 主担当: 越智、筒井(京大)
- C設計ツールグループ
 - アクセラレータへのマッピング
 - 主担当: 若林、竹中、貞方(NEC)
- アプリケーション展開
 - ディペンダビリティ評価技術とアプリ展開
 - 神原(ASTEM)



研究の背景と目的

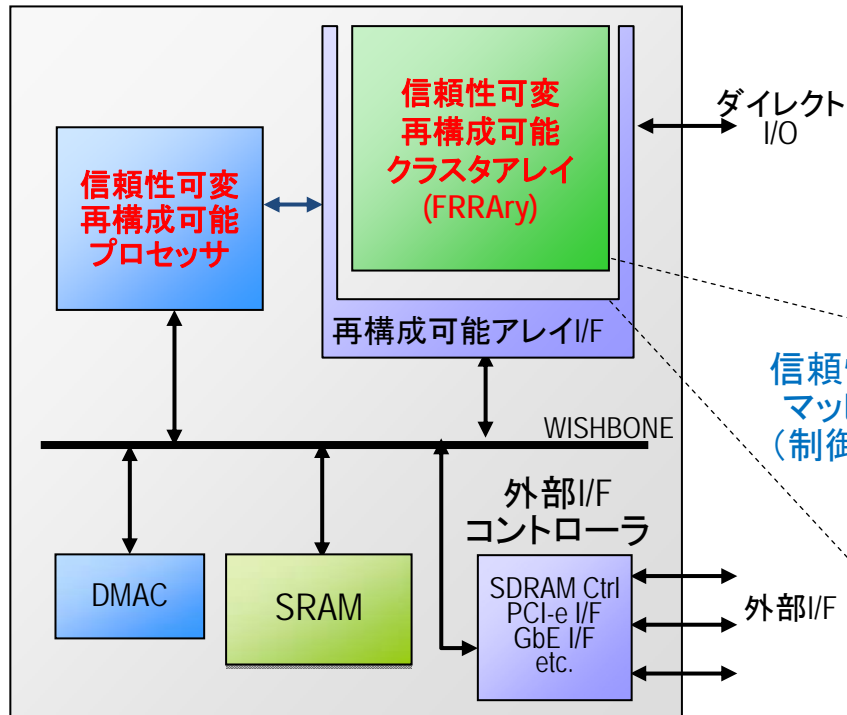
- 組込み機器の VLSI ハードウェアのディペンダビリティ(信頼性)を脅かす要因が増大
- ↓
- 要求されるディペンダビリティに応じたシステムを実現する VLSIプラットフォームで解決



研究提案の基本コンセプト

レイアウト/回路/アーキテクチャ/設計自動化技術を結集したプラットフォーム

ディペンダブルVLSIプラットフォーム



アプリケーション
Digital Filter (FIR, IIR), CRC,
FEC (LDPC, Viterbi), Cipher (AES),

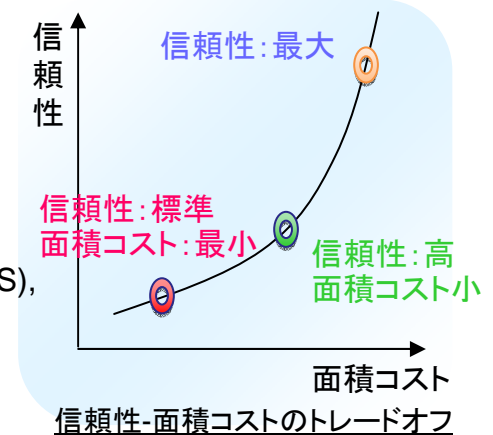
マッピング

信頼性優先
マッピング
(制御部等)

面積コスト優先
マッピング
(データパス等)

信頼性 & 面積効率
マッピング
(入出力部等)

ロバストファブリック からの
再構成可能アーキテクチャ



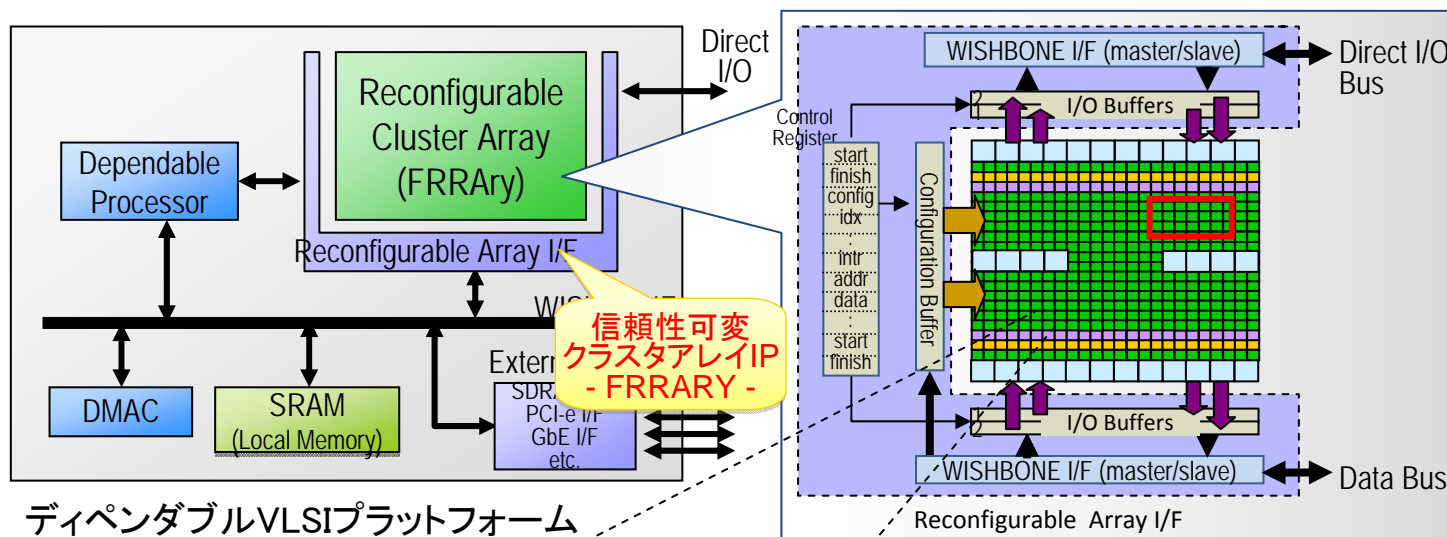
アーキテクチャとツールフローの提供
により高い実用性を実現

適応的冗長化により効率良く高信頼化を達成

- NEC の CyberWB を用いたツールフローを提供
実用的なC言語記述から面積・遅延制約を考慮した高位合成が可能に

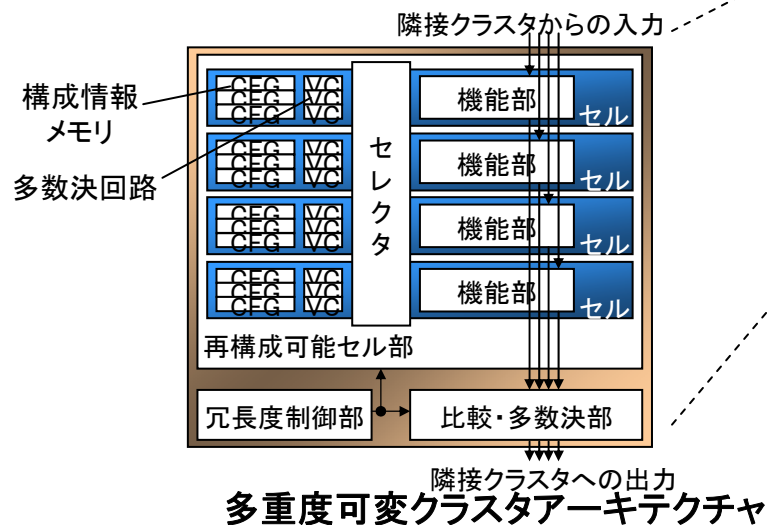
研究開発の内容(1)

- 信頼性可変再構成可能アレイ: FRRARY

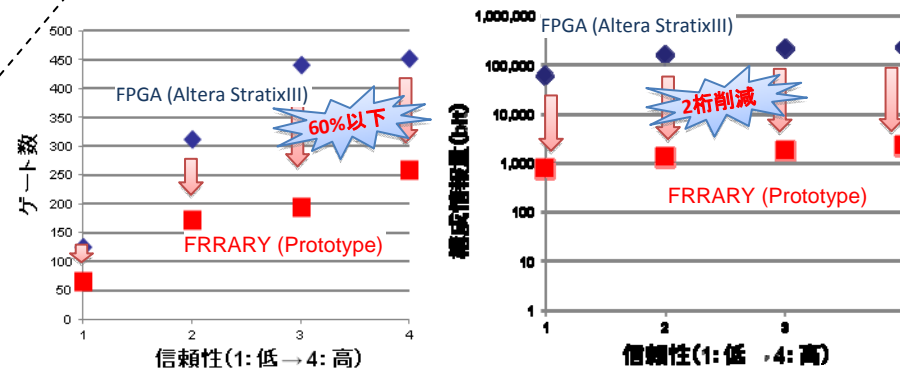


ディペンダブルVLSIプラットフォーム

信頼性可変再構成可能アレイ



多重度可変クラスタアーキテクチャ



FPGAとの比較(ゲート数、構成情報量)

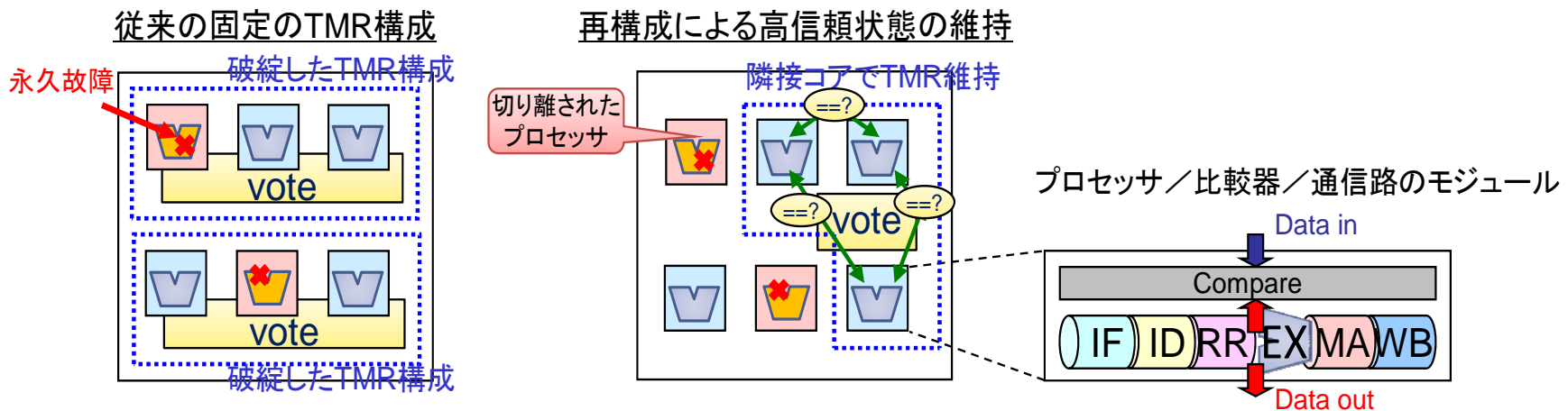
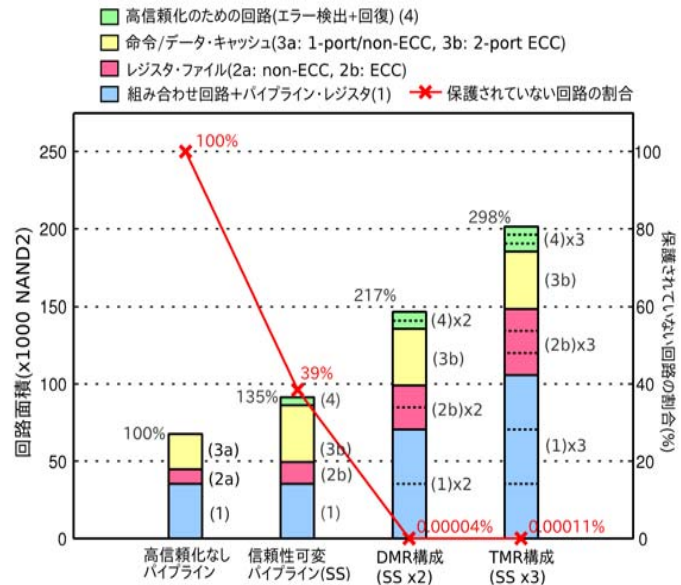
研究開発の内容(2)

信頼性可変再構成可能プロセッサ:DARA

- ✓フル・スクラッチで開発したSH-2命令セットのプロセッサ
- ✓比較器や通信路を含めたモジュール構成パイプライン
- ✓多重化度を動的に変更可能

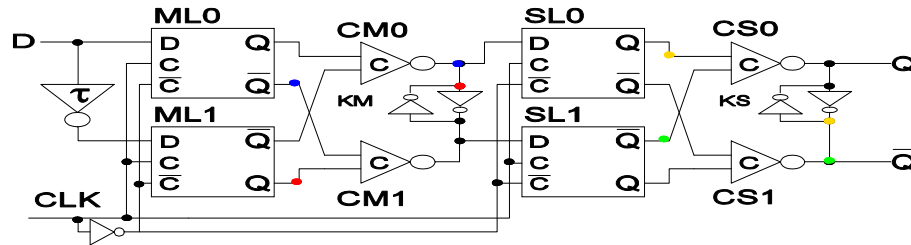
DARAの発展

- ✓FRRARYとのSoC構成向け拡張
 - FRRARY向け割り込み拡張など
- ✓現DARAコアからの拡張
 - パイプライン間協調の自立分散化



研究開発の内容(3)

- ソフトウェア耐性強化FFの開発: BCDMR FF

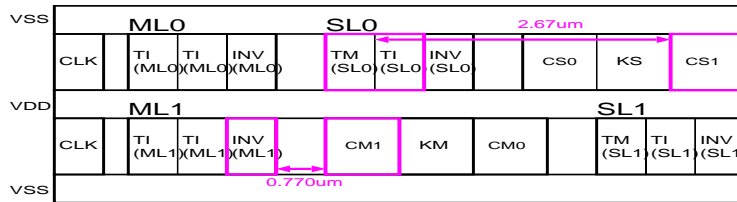


BCDMR FF (特許出願済)

同色のノード(センシティブノード)が同時反転すると、FFの出力が反転

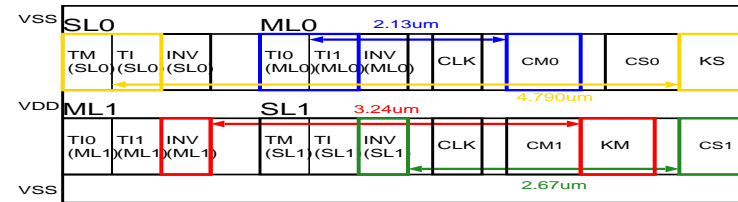
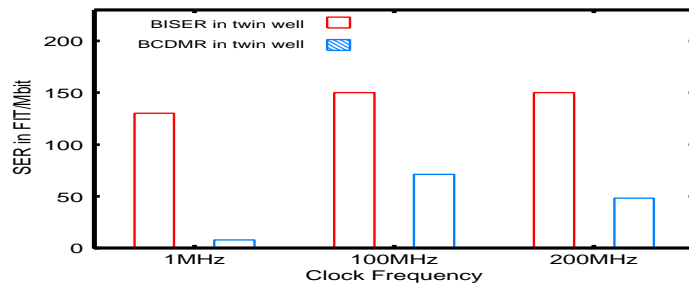


65nmプロセスで試作したLSI



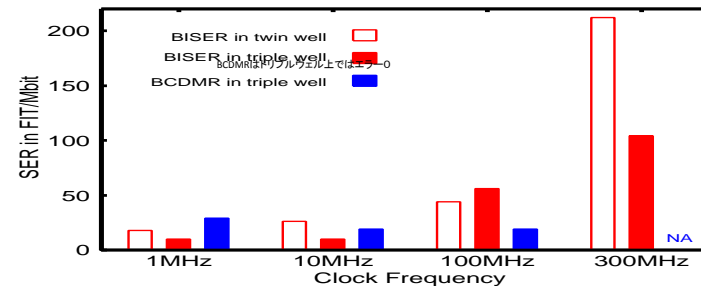
旧レイアウト構造

センシティブノード間が狭いため、同時反転しやすい



新レイアウト構造

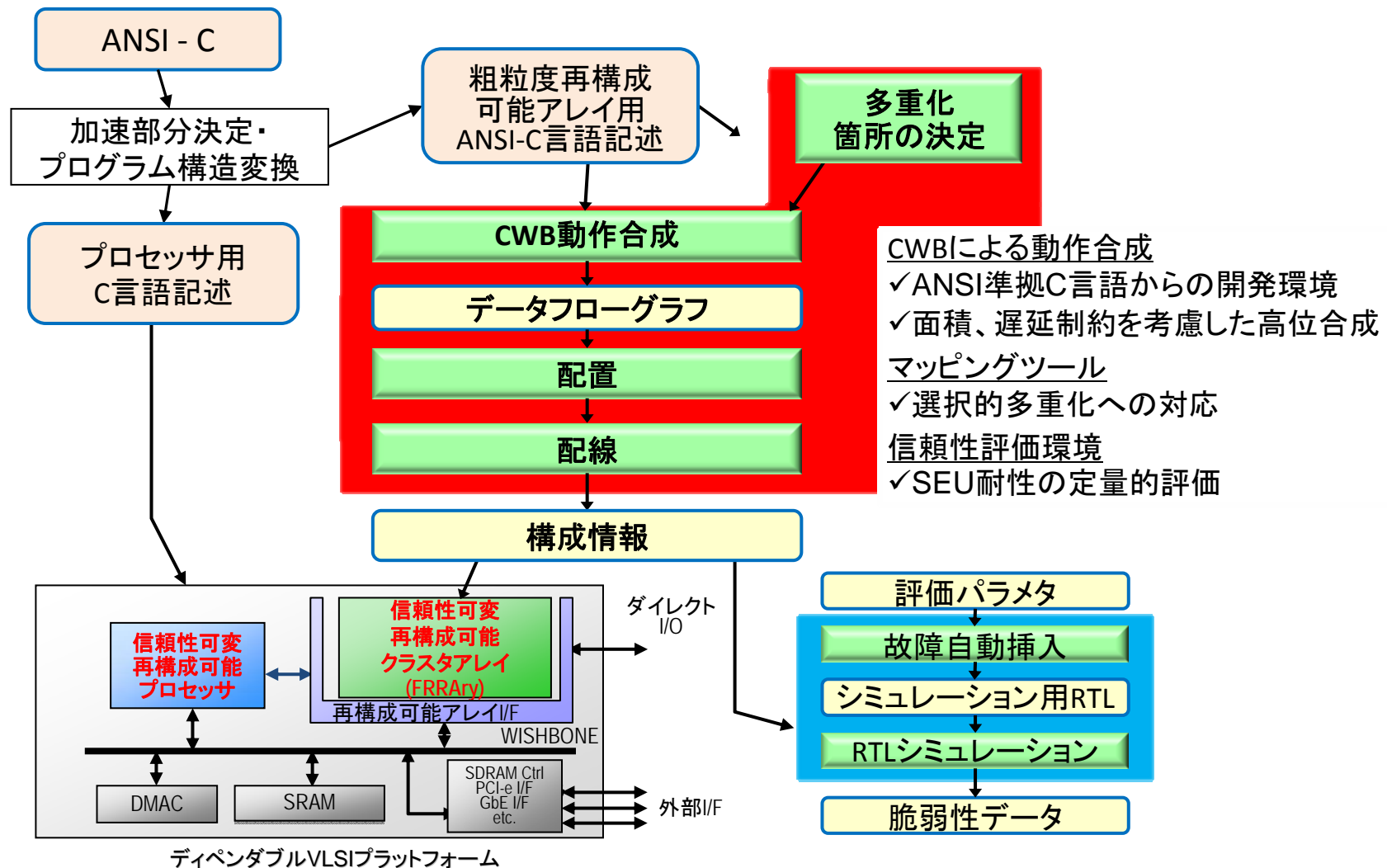
センシティブノード間が広いため、同時反転しにくい



中性子線によるソフトウェア耐性の評価

研究開発の内容(4)

• アプリケーション開発環境(動作合成とマッピング)

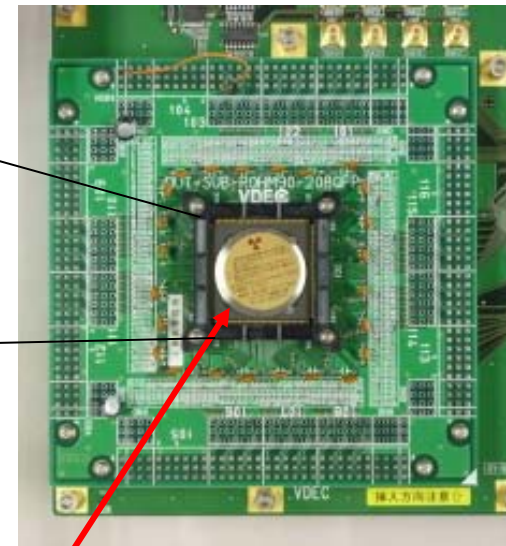
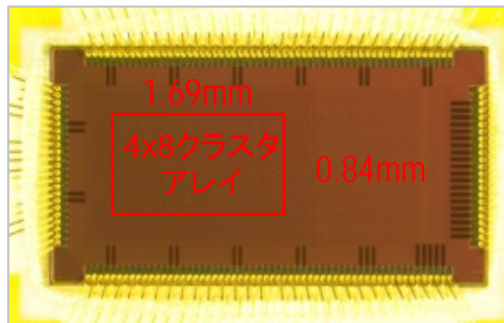


研究開発の成果

• 試作したプロトタイプチップによる実証実験

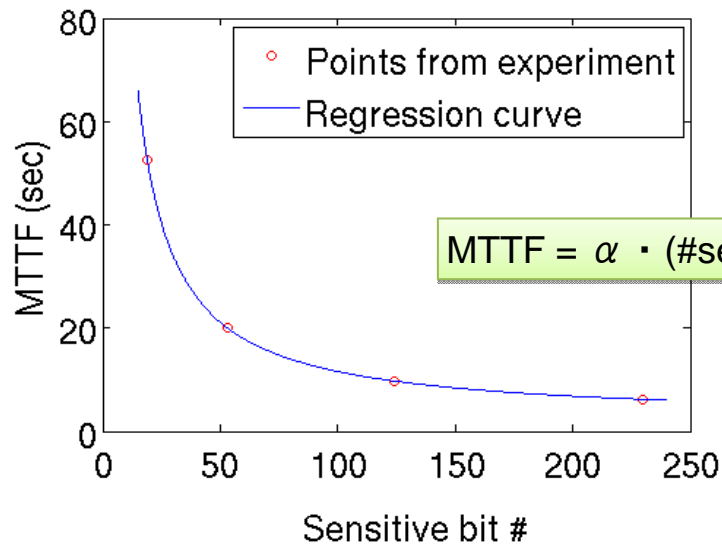
α 線源を用いたソフトウェア耐性の実証実験

4×8 クラスタアレイの試作チップ写真



α 線源

評価ボードのチップ上に
 α 線源を配置



$$\text{MTTF} = \alpha \cdot (\#\text{sensitive-bit})^{-1}$$

MTTF(平均寿命)と
センシティブビット数の
比例関係を
プロトタイプチップで実証

プロトタイプチップの信頼性可変機構の有効性を実証

研究成果の応用

・アプリケーション展開と出口戦略

