

統合的高信頼化設計のための モデル化と検出・訂正・回復技術

研究代表者 安浦 寛人
九州大学 大学院システム情報科学研究所

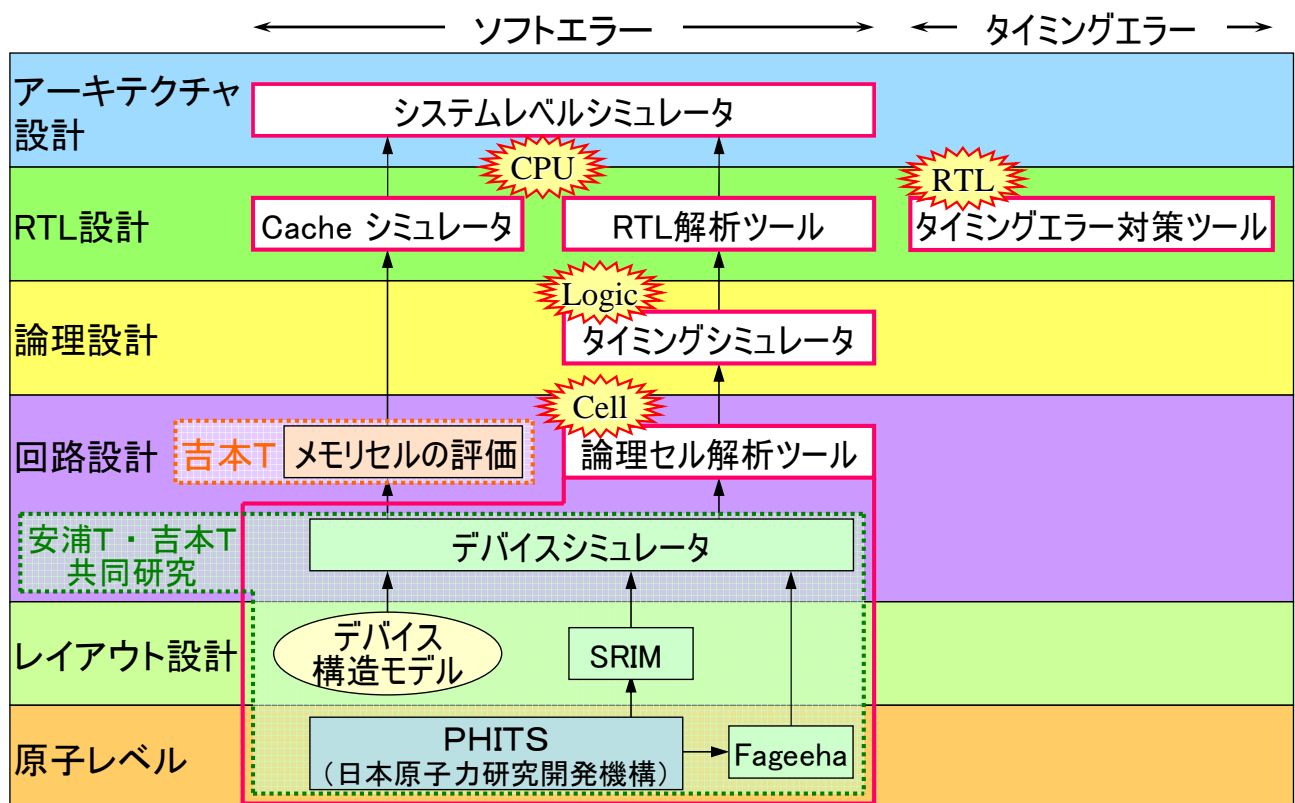
研究メンバー

- ・九州大学 大学院システム情報科学研究所
安浦寛人教授、松永裕介准教授、吉村正義助教
- ・九州大学 附属図書館
馬場謙介准教授
- ・九州大学 システムLSI研究センター
杉原 真 准教授
- ・福岡大学 工学部
佐藤寿倫教授、林田隆則助教

研究の目的とアプローチ

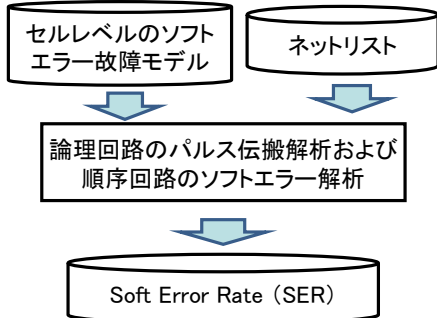
- ・ さまざまな種類のエラー（製造故障、ソフトエラー、タイミングエラー、設計誤り、不完全な仕様に基づく誤り、悪意のある攻撃など）に対して、**統一的な視点からデジタルVLSIシステムのディペンダビリティを確保するための設計技術の確立を目指す。**
- ・ ディペンダビリティの解析と対策回路の合成を行うEDAツールを核とした、**ディペンダブルLSI向け設計フローを構築する。**
- ・ **具体的な問題から、一般化、ツール構築、フロー構築へ展開する。**

ツールチェーンの構築



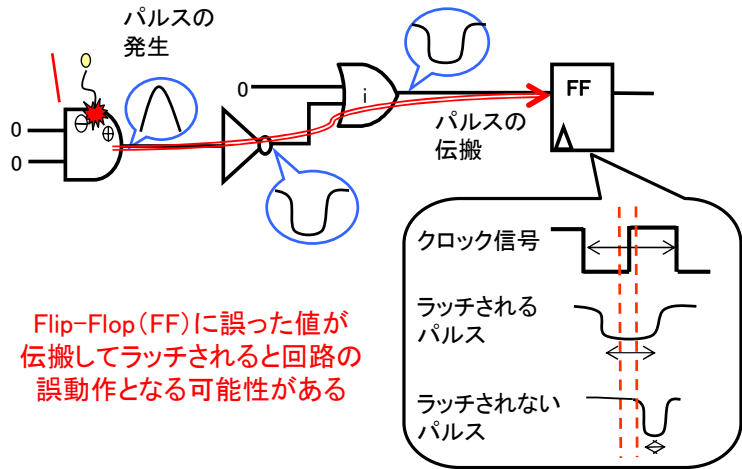
ソフトウェア耐性の評価

セルライブラリ中の各セルに対し
あらかじめパルス幅と遷移時間に対する
パルス発生確率をキャラクタライズしておく



キャラクタライズした各セルの
パルス発生確率を用いて与えられた
ネットリストに対する SER を評価する

論理回路のソフトウェア

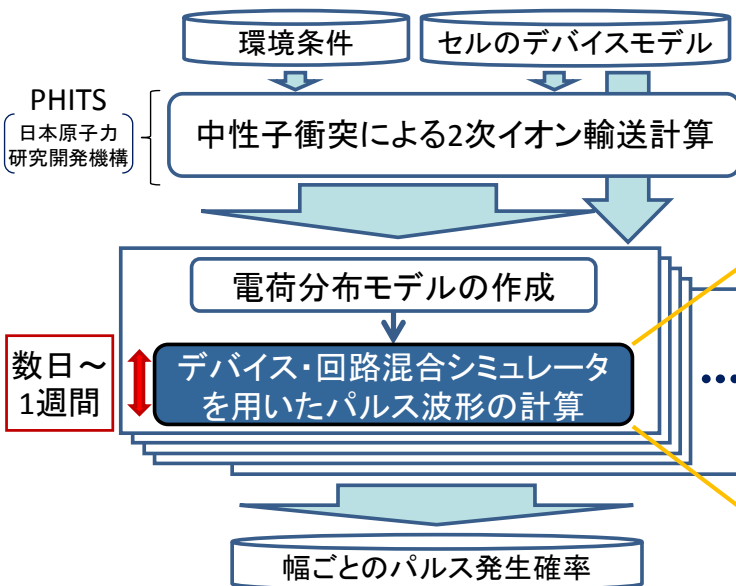


Flip-Flop (FF) に誤った値が
伝搬してラッチされると回路の
誤動作となる可能性がある

パルスのラッチ確率は
クロック周期に対する
パルス幅の割合に依存

パルス幅ごとのパルス発生確率と
パルス伝搬確率を考慮することが重要

ナイーブなツールチェーン



問題点

高い精度を得るためには十分
な数のシミュレーションが必要

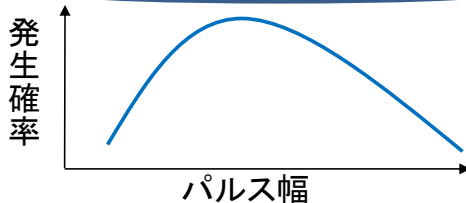
提案手法

領域ごとの収集電荷量を用いた
ノイズ電流モデルの近似

数秒

回路シミュレータを用いた
パルス波形の計算

提案手法を用いることで
数千から数万サンプルを
一日で実行可能

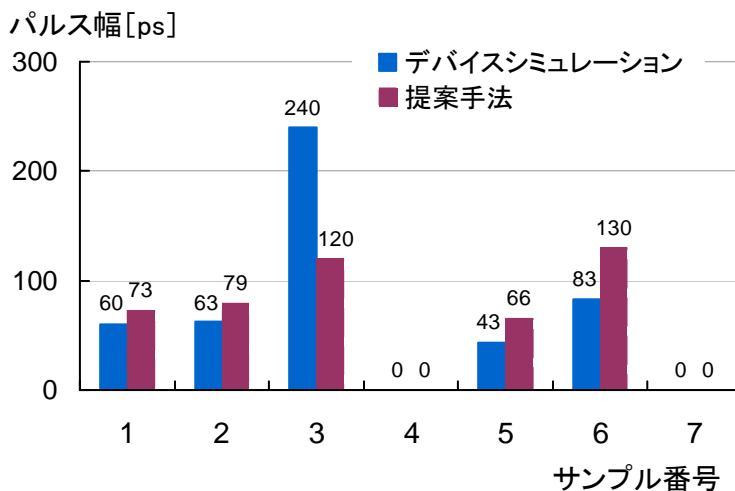


・実験内容

各電荷分布に対し、提案手法で求めたパルス幅とデバイスシミュレーションで求めたパルス幅を比較

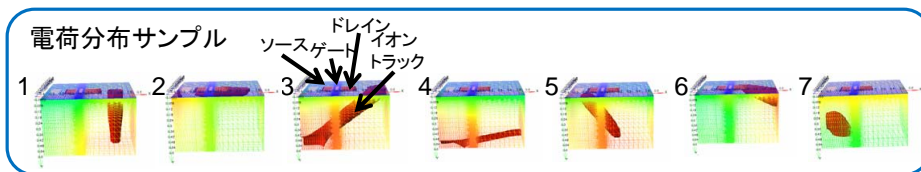
・設定

デバイス：65nmプロセスのインバータのNMOS
 二次イオンのLET値：0.11[pc/um]
 デバイスシミュレータ：Silvaco社ATLAS

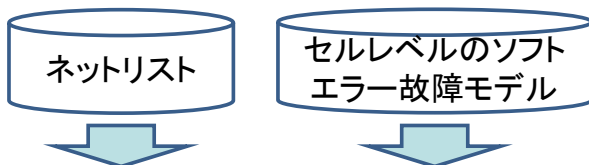


見積り誤差
約20~55%

↓
 見積り精度
向上を図る



ナীবなツールチェーン



問題点

- 1回のサンプリングに対する故障シミュレーションの実行時間は論理シミュレーションの実行時間と同程度
- 十分な精度を得るためには数千から数万のサンプリングが必要

提案手法

- 全パターンを同時に考慮したタイミング故障シミュレーション
- 全セルを同時に考慮した論理故障シミュレーション
- マルコフモデルを用いたSERの計算

論理シミュレーションに対して数倍から10倍程度の実行時間を目標

Logic

全パタンを同時に考慮したタイミング故障シミュレーション

FFへのパルス伝搬確率の計算において
logical masking を考慮すると

処理時間 \propto 外部入力パタン数
 $\propto \exp$ (外部入力数)

外部入力数に対し**指数的に増大!**

提案する近似手法

- ・electrical masking と latch-window masking のみを考慮
- ・処理時間 \propto ゲート数 ... **外部入力数とは無関係**
logical masking の影響を無視するので**悲観的な見積り**

評価結果 伝搬確率を過大見積り 113%~580%
logical masking の影響の大小で大きく変化

全セルを同時に考慮した論理故障シミュレーション

ランダムサンプリングした外部入力パタンの集合を用い、logical masking のみを考慮した論理故障シミュレーションとタイミング故障シミュレーションの結果からFFへのパルス伝搬確率を計算

ナイーブな厳密手法

- ・全ての外部入力パタンとゲートの組合せに対しゲートの出力値のエラーが外部出力やFFへ論理的に伝搬するかどうかを調べる
- ・処理時間 \propto **ゲート数² × 外部入力パタン数**

提案する近似手法

- ・各入力パタンに対して全てのゲートを2つに分類
(A) 出力値のエラーが外部出力やFFへ「伝搬しないゲート」
(B) 残りの「伝搬する可能性があるゲート」
- ・(B) を全て「伝搬するゲート」と見なし、ソフトウェア耐性の**悲観的な見積り**を保証
- ・処理時間 \propto **ゲート数 × 外部入力パタン数**

評価結果

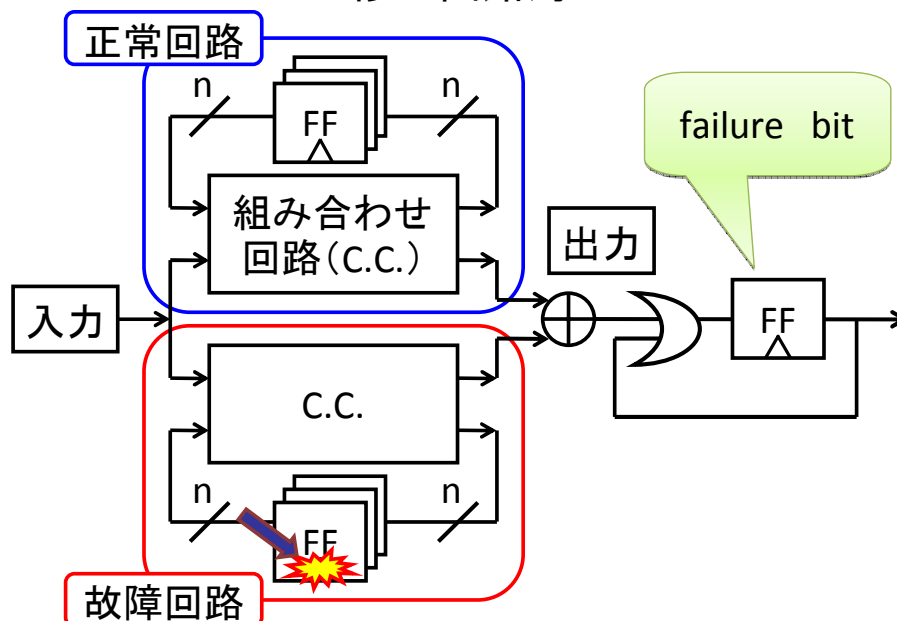
伝搬するゲート数 平均114%(厳密手法より14%多く見積る)
処理時間 平均 15%(厳密手法の1/7程度に短縮)

Logic

マルコフモデルを用いたSERの計算

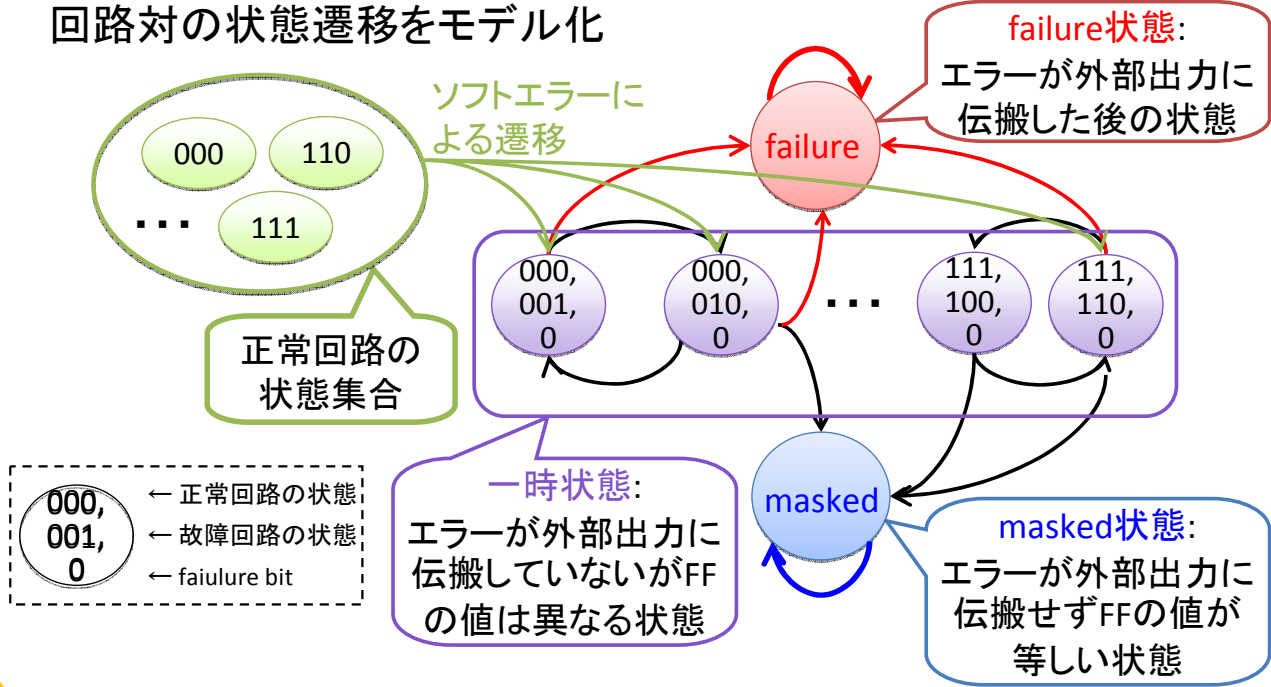
ソフトウェアの影響によってFFがエラーを保持した場合に、外部出力にエラーが伝搬する確率を計算

修正回路対



吸収的マルコフモデルを用いた 修正回路対の状態遷移の振舞いの解析

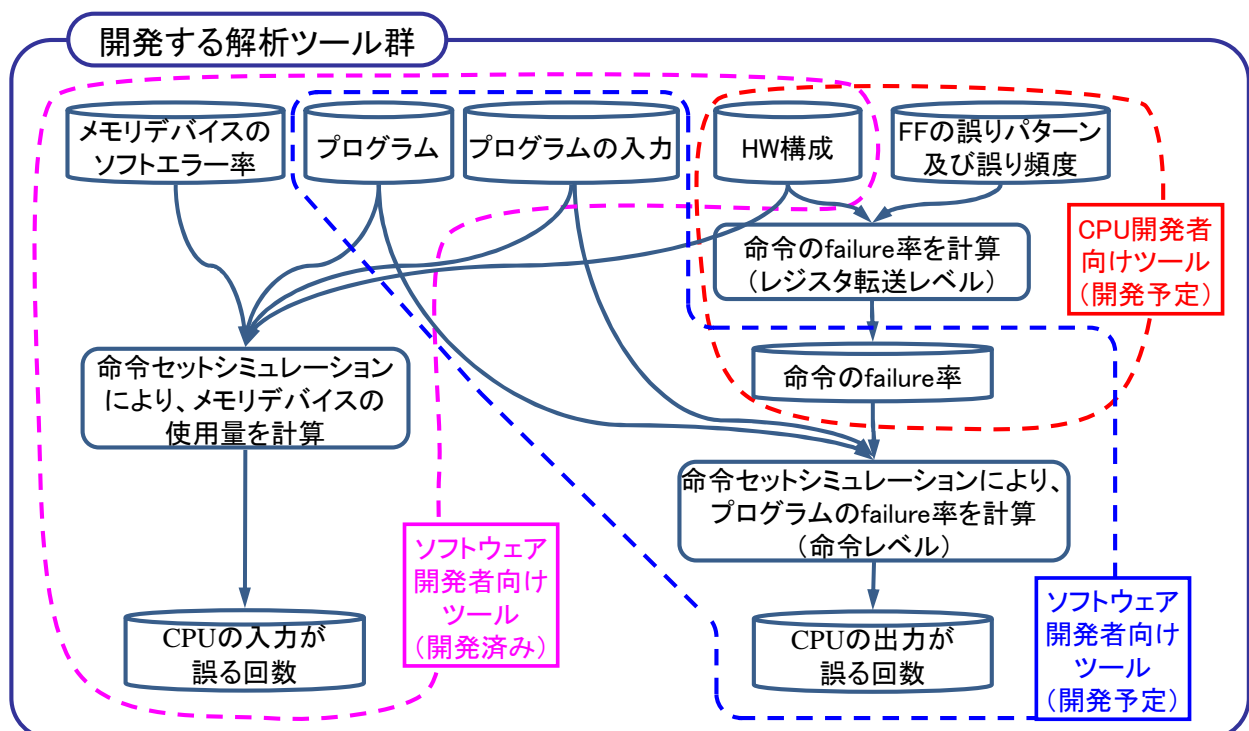
回路対の状態遷移をモデル化



外部出力にエラーが伝搬する確率 = failure 状態に吸収される確率

CPUのソフトウェア耐性評価

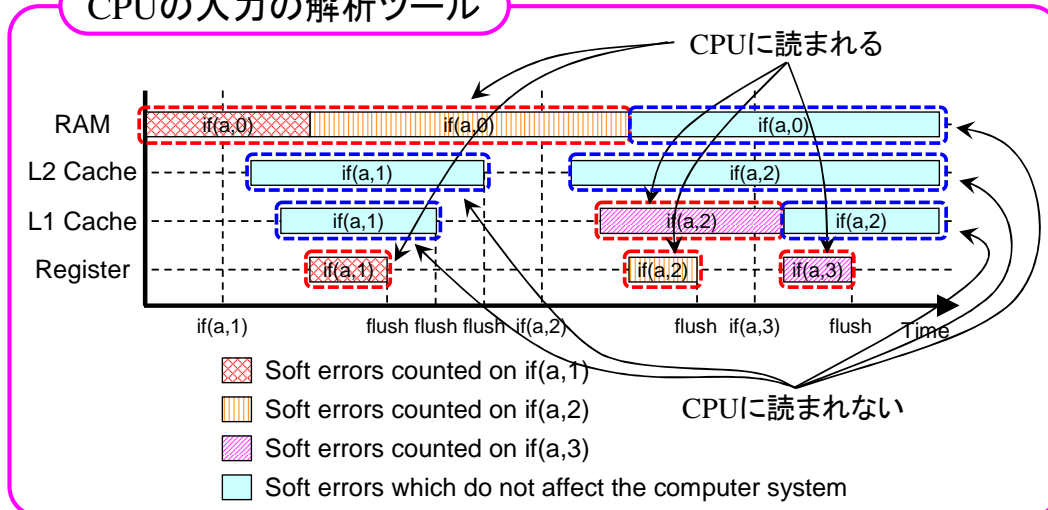
研究の狙い 最もよく用いられる部品の一つであるCPUに対して、ソフトウェア開発者が容易にソフトウェア耐性評価を行うことを可能にする



研究の独創性

- 論理レベルのソフトウェア耐性評価によって取得するCPU中のFFの誤りパターンおよび発生頻度を命令レベルのソフトウェア耐性評価に用いる
- ソフトウェア開発者が命令セットシミュレーションによってソフトウェア耐性評価を行うことができる

CPUの入力の解析ツール



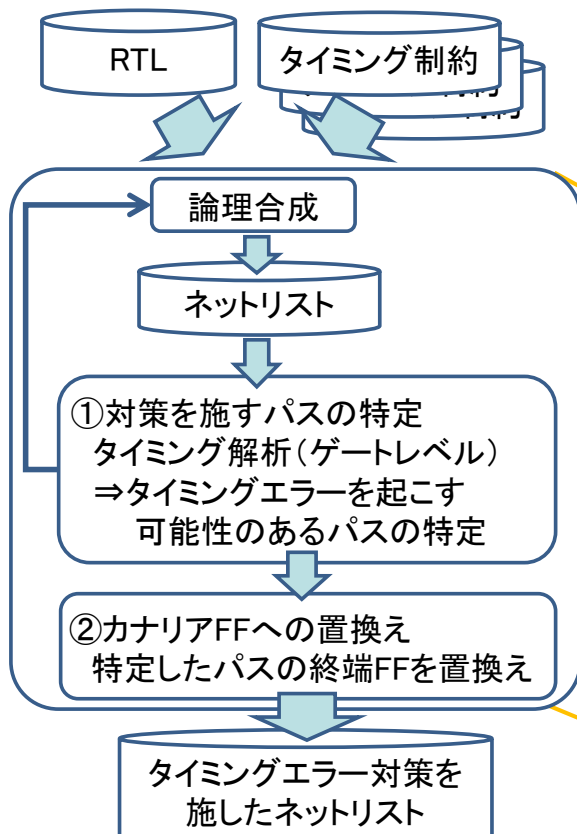
商用CPUの解析ツールとして本ツールを開発することを希望しているために、共同研究先を探しています。

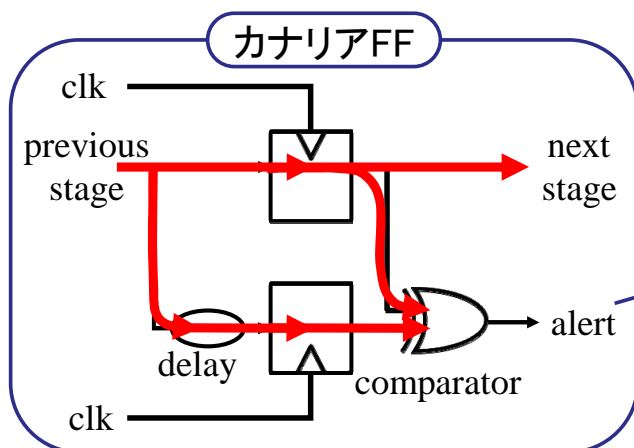
背景

- 先端微細化技術では、ばらつき問題が深刻
- 動作環境や履歴によって、回路性能に差
- タイミングエラー ⇒ 動作不良が顕在化

置換え手順

- 要求される信頼性に応じてタイミング制約を与える
- 与えられたタイミング制約の一つに対してネットリストを合成する
- タイミング解析結果とタイミング制約から対策を施すパスを特定する
- 残りのタイミング制約に対してネットリスト合成とパス特定を繰り返す
- 特定したパスの終端FFをカナリアFFに置換える





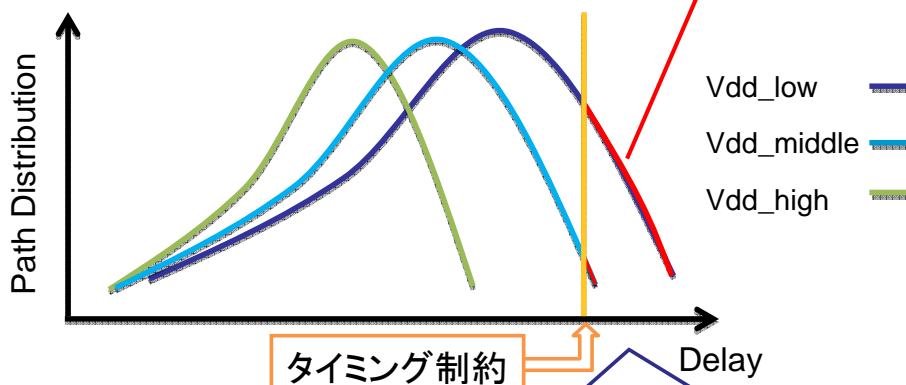
遅延素子の挿入により
下方のFFのタイミング制約
が厳しくなるように設計する

2つのFFの出力が異なる
場合、前段の回路のタイ
ミングエラーを警告する

効果

- 設計時に想定困難なタイミングばらつきの考慮を軽減
- 面積増加を最小限に抑制
- DVS (Dynamic Voltage Scaling) と協調させることで設計マージンを排除し、省電力化
- 経年劣化による動作不良の予測にも適応可能

様々なシナリオでワーストケースによるタイミング解析を行い
タイミングエラーを起こす可能性のあるパスを特定する



タイミングエラーを起こす可能性のあるパスの終端FFを
全てカナリアFFに置換える。タイミングエラーを生じる
シナリオになった場合、カナリアFFが警告を発し、
正常動作を保証できる限界の電圧を検出できる。