

# フィールド高信頼化のための 回路・システム機構

CREST DVLSI 領域会議

2010年6月4日

研究代表者: 梶原誠司(九州工業大学)

主たる共同研究者: 藤原秀雄(奈良先端科学技術大学院大学)

主たる共同研究者: 三浦幸也(首都大学東京)

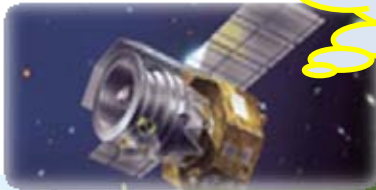




# 研究の背景と狙い

2

衛星, 通信



通信遮断!

医療, 車載

命!



SoC/NoC



故障

ネットワーク, サーバ,  
ストレージ



データ破壊!

プラント制御



電力供給停止!

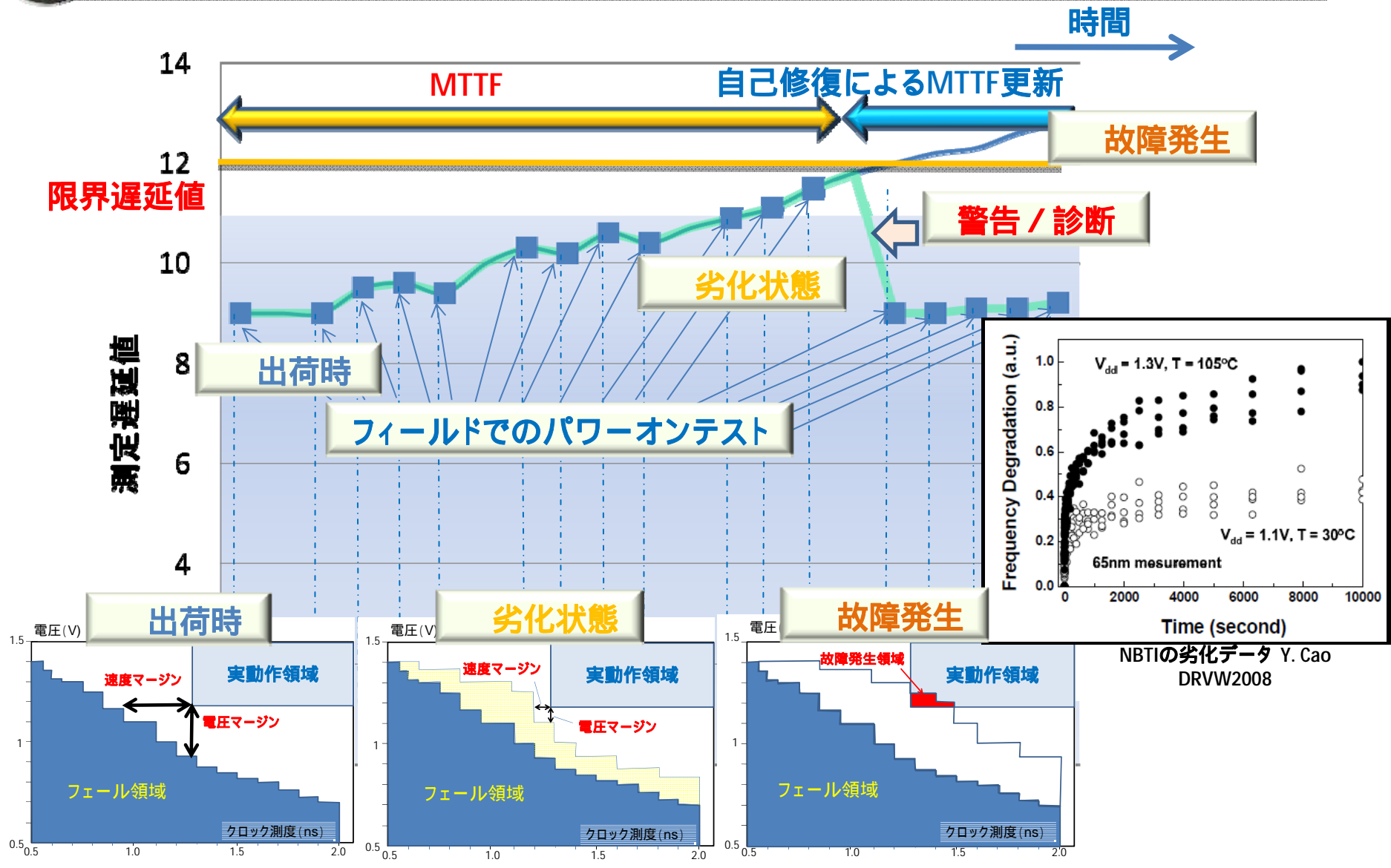


~ 突然のシステムダウンを回避・・・安全・安心 ~

システム空き時間(パワーオン・オフ等)を利用したテストによる,  
故障検出 / 劣化検知・警告・診断



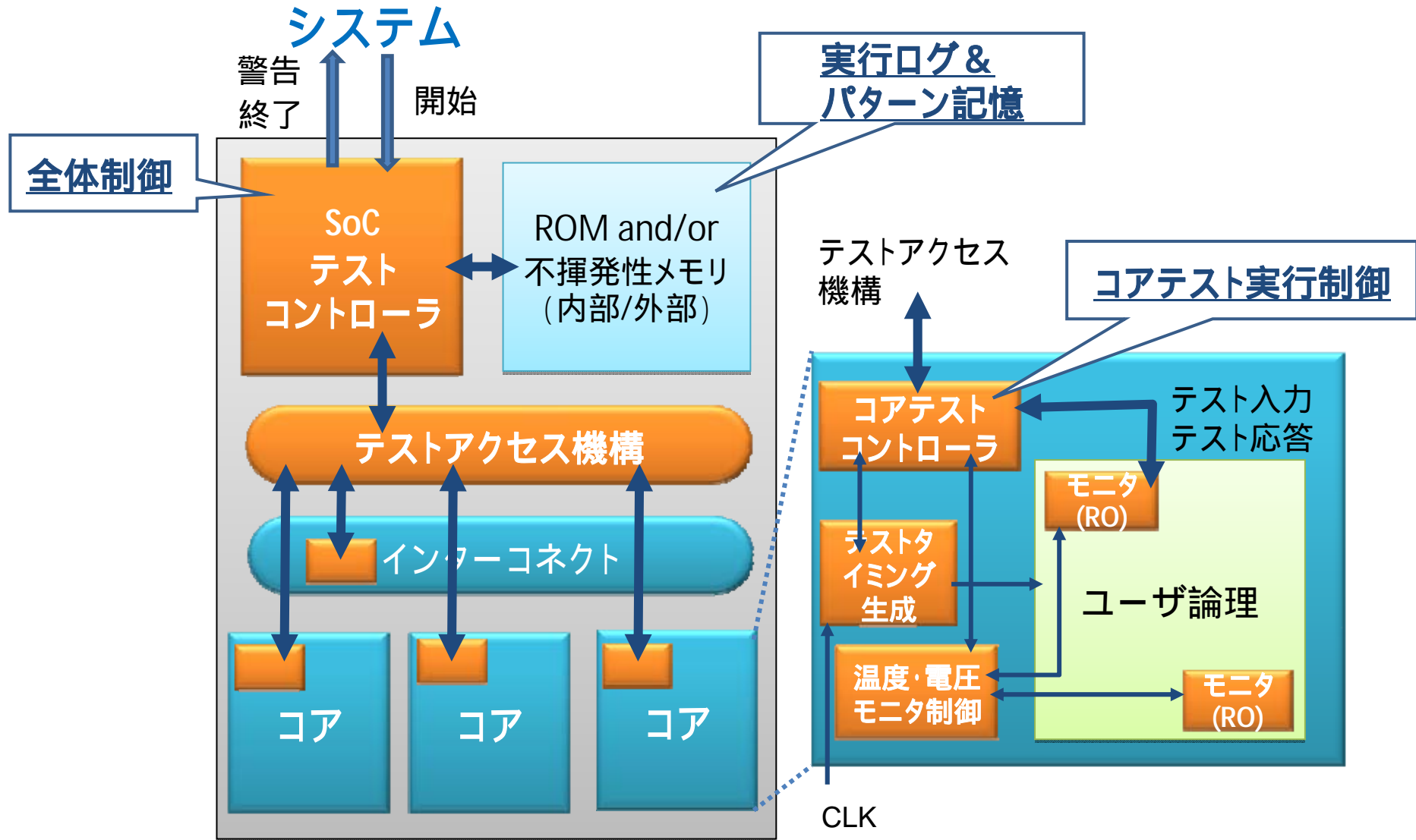
# 基本コンセプト



NBTIの劣化データ Y. Cao  
DRVW2008



# DFTの構造





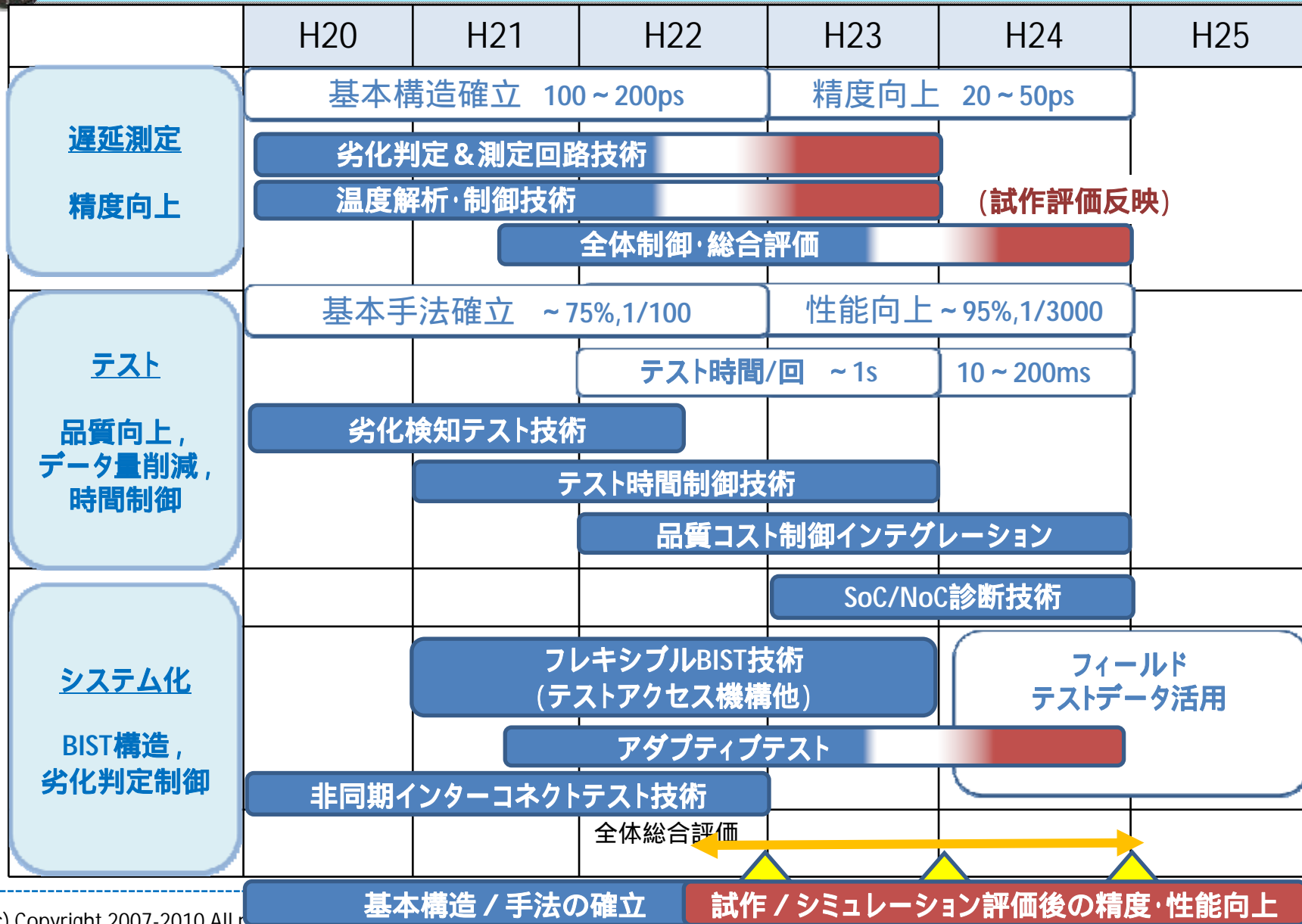
# アプリケーションニーズ

	医療・車載	プラント制御	ネットワーク・サーバ	LSI生産
使用期間	長期 (~20年)	長期 (20~50年)	通常 (~10年)	-
フィールドテスト	パワーオン時のテスト	テストモード	無休止 (動作中)	-
テストリソース (メモリ等)	LSIピン, メモリ等ひっ迫	制約あり (冗長設計等採用)	制約あり (劣化データ蓄積興味)	制約小 (ATE利用)
テスト時間	~10ms	~100ms	数10~ 数100ms	物理制約小 (コスト制約有)

従来のLSIテストと異なる厳しい物理制約あり



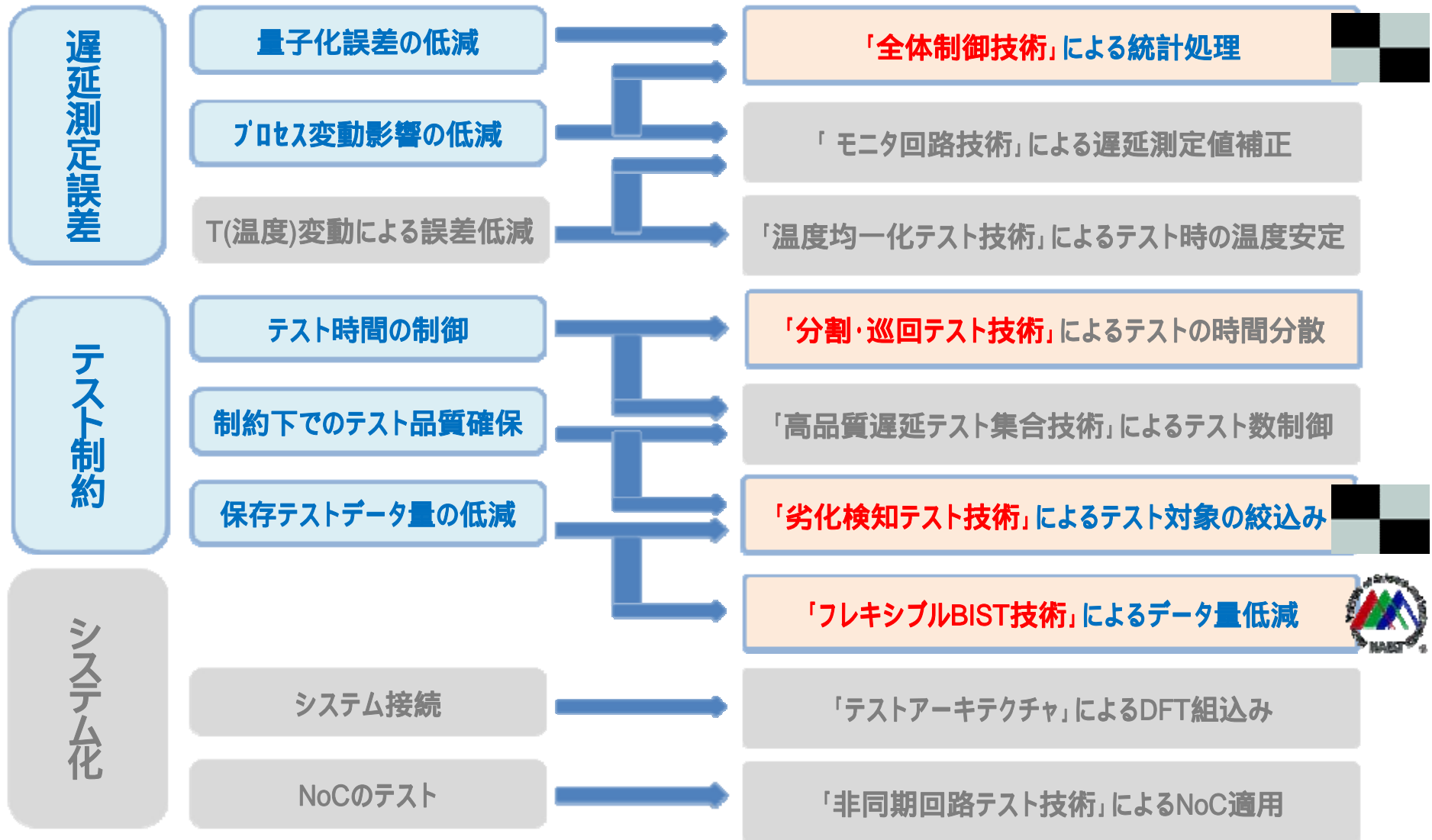
# 研究開発計画と目標





# 技術課題と対応戦略 (九工大G)

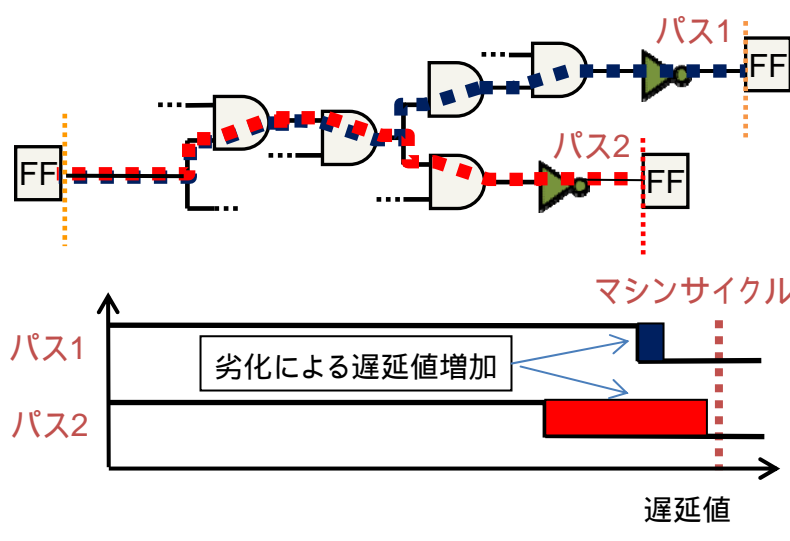
7



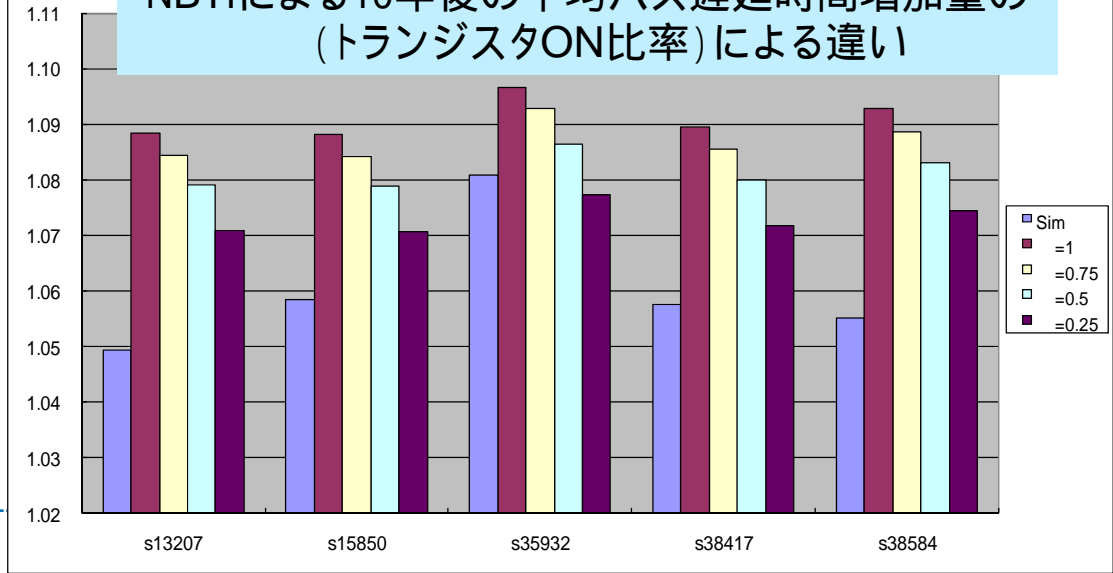


# 技術：劣化検知テスト

<p><b>ねらい</b></p>	<p>フィールドテストにおいて劣化による遅延増加を測定するためのテストパターンを生成し、劣化故障の発生予防に役立てる。</p>
<p><b>目標</b></p>	<ul style="list-style-type: none"> <li>劣化(NBTI等のゆっくりとした遅延増加)による障害が発生しやすい箇所を推定する。</li> <li>テストパターン数は1K以内となるように、テスト対象箇所を選択する。</li> </ul>
<p><b>内容</b></p>	<p>入力: ネットリスト, 劣化モデル          機能: 劣化が生じやすく、かつ、タイミングマージンが少ない経路上のトランジスタを特定し、その遅延を測定可能なテストパターンを生成する。          出力: テストパターンと観測対象のフリップフロップ。</p>



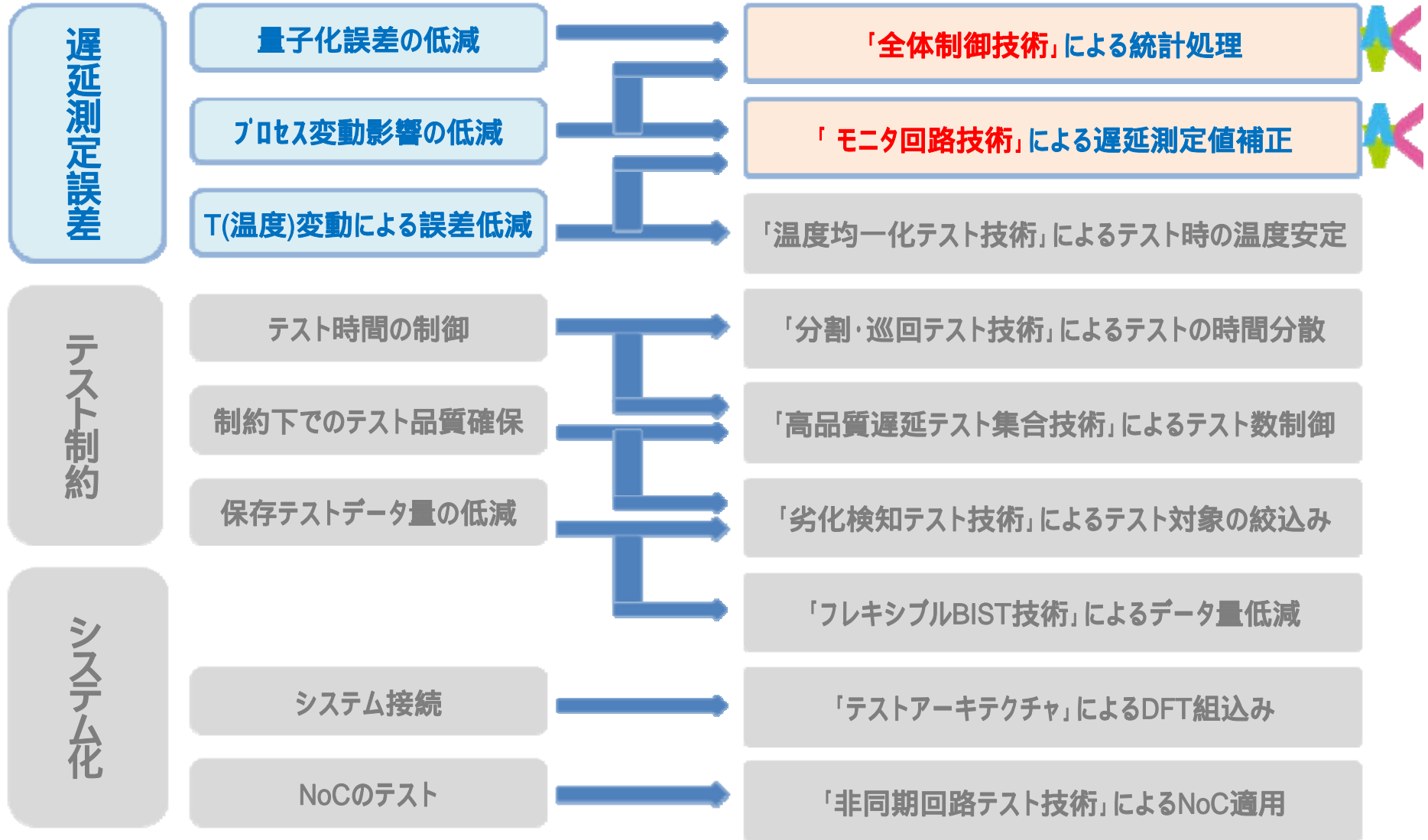
NBTIによる10年後の平均パス遅延時間増加量の(トランジスタON比率)による違い







# 技術課題と対応戦略 (首都大G)

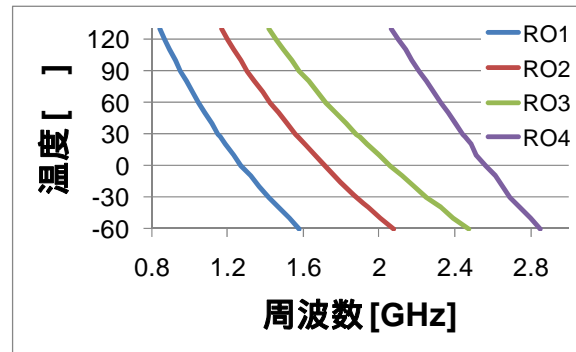
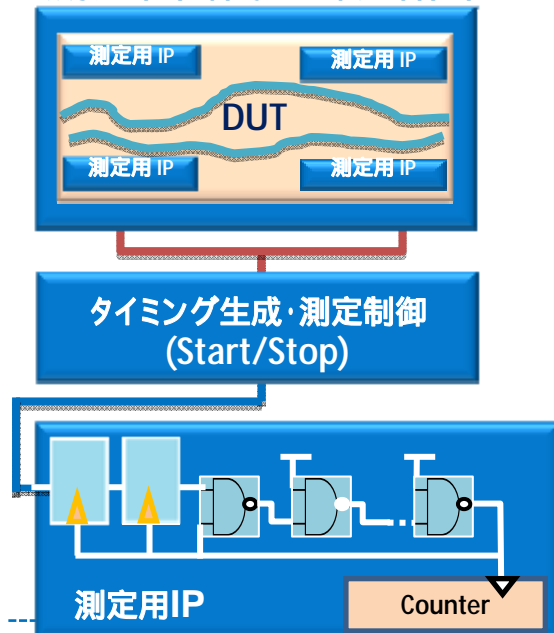




# 開発技術：モニタ回路

ねらい	FF間の遅延テストで測定された論理パスの遅延値に対して、温度や電圧の影響を補正するために、テスト時環境をモニタする。
目標	温度、電圧の推定精度：3～5%程度を目標に検討中。
内容	<ul style="list-style-type: none"> <li>・モニタ回路は劣化の影響を受けないよう工夫する。</li> <li>・テスト時に、RO (Ring Oscillator) ベースの回路で発振周波数を測定。</li> <li>・出力の周波数は、上位階層の全体制御IPで、遅延値補正に用いる。 (補正方法を含めて本技術研究で検討を行う)</li> </ul>

測定回路系の概略図



- ・ ROの温度変化に対する線形性活用
- ・ 異なる特性RO併用による推定精度向上

$$\begin{bmatrix} Te \\ Ve \end{bmatrix} = \begin{bmatrix} a_1 & b_1 \\ a_2 & b_2 \end{bmatrix}^{-1} \begin{bmatrix} k_1 F_{d1} - k_2 F_{d3} \\ k_3 F_{d2} - k_4 F_{d3} \end{bmatrix} + \begin{bmatrix} c_1 \\ c_2 \end{bmatrix}$$

$$F_d(T, V) \equiv F(T, V) - F(T_0, V_0)$$

初期値と測定周波数の差分から  
温度、電圧を推定 (特願2010-057310)



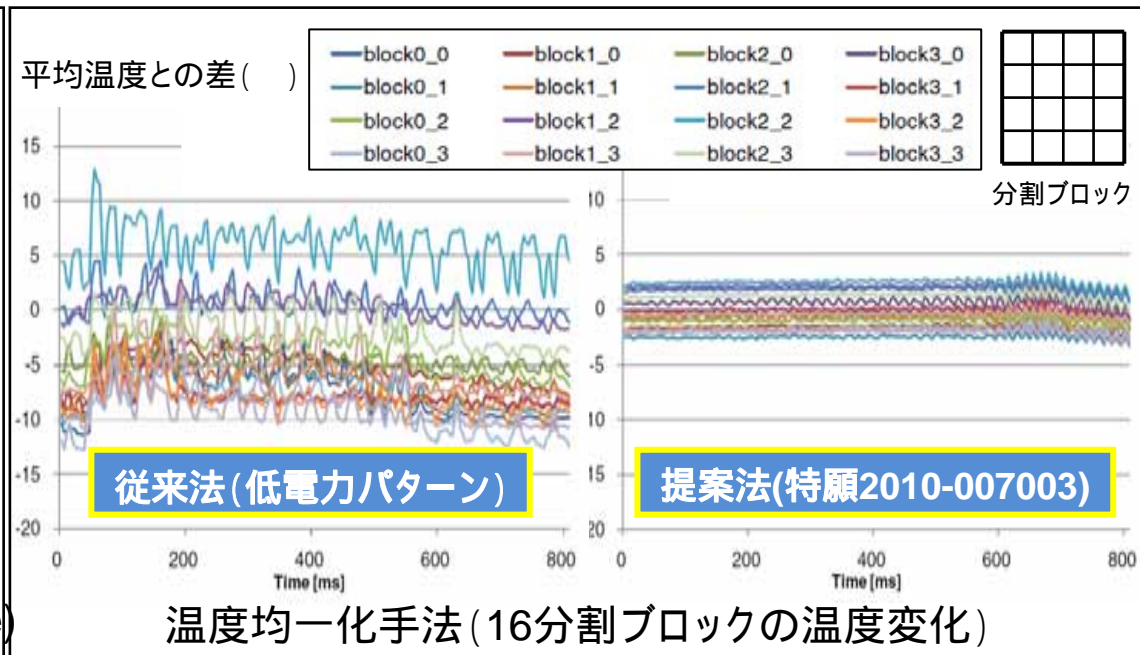
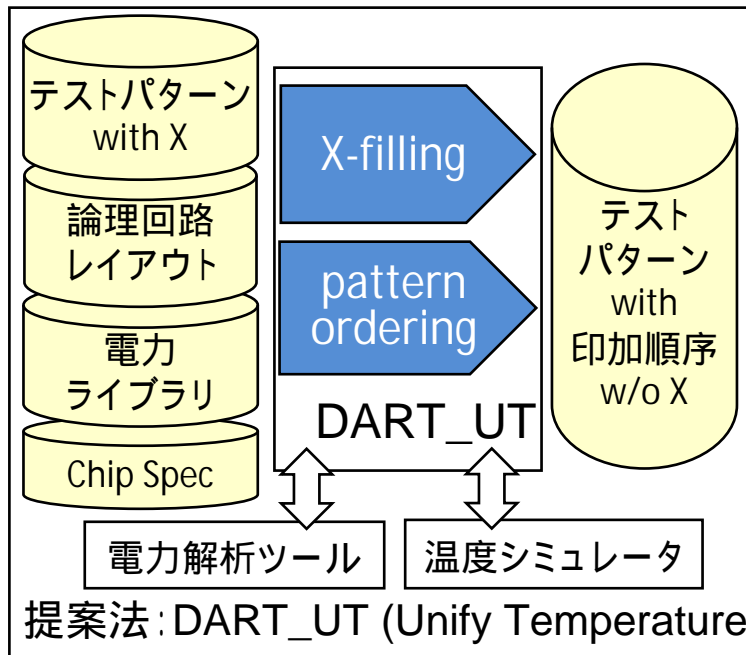
# 技術課題と対応戦略 (奈良先端大G)





# 技術：温度均一化テスト

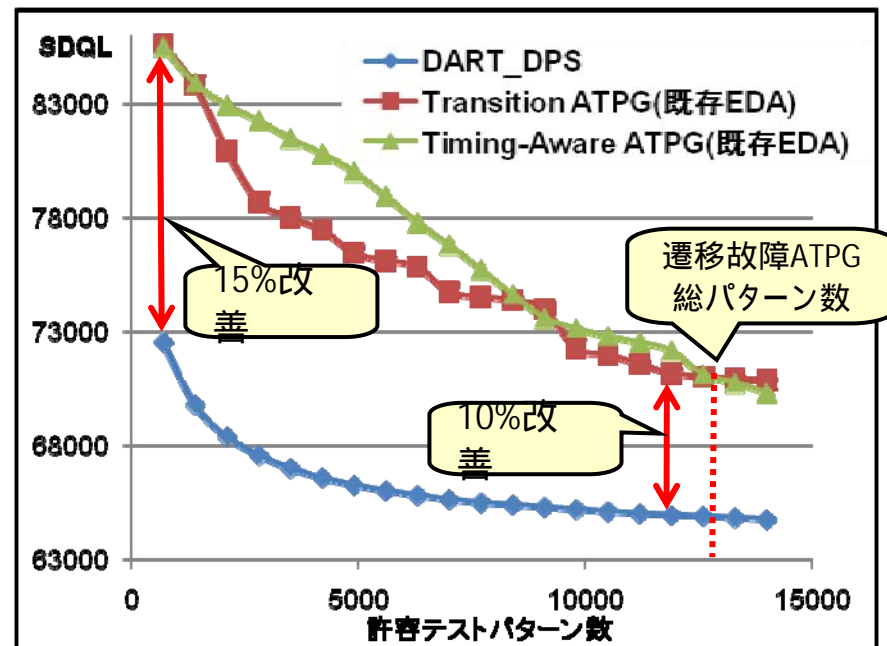
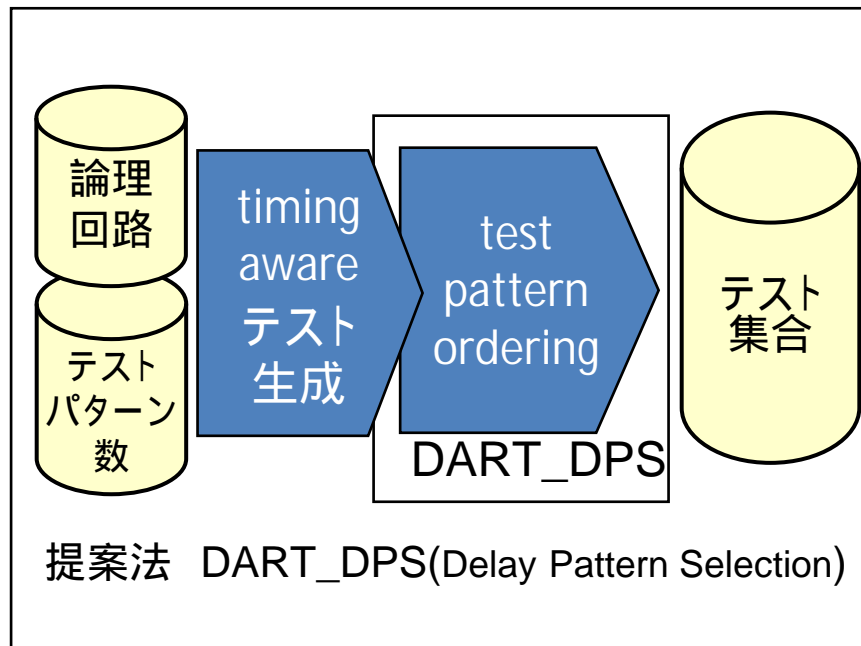
ねらい	テスト時のチップ内温度を均一化し、温度による遅延変動量を低減することにより、高精度な遅延故障テストを実現する。
目標	(1) テスト時のチップ内位置による温度差: <u>10</u> 以内 (2) テスト時の同一位置の温度差: <u>5</u> 以内 <small>*テスト開始直後の急激な温度上昇は除く</small>
内容	入力: ドントケア付きテストパターン、論理回路、レイアウト 出力: 温度均一化テストパターンと印加順序 (故障検出率は維持)





# 技術：高品質遅延テスト集合

ねらい	許容テストパターン数に応じて高品質遅延テスト集合を生成する
目標	許容テストパターン数に対し、SDQL (未検出の微小遅延量) を最適化 遷移故障ATPGパターン集合に対するSDQL改善値： 許容パターン数小の場合：15%，許容パターン数大の場合：10%
内容	入力：論理回路、テストパターン数 出力：遅延故障用テストパタン集合

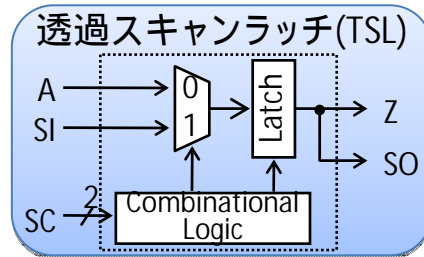
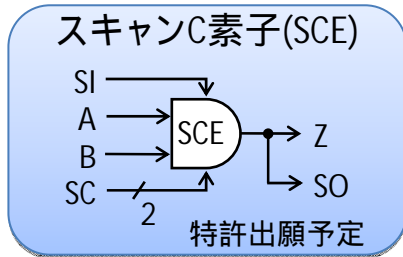


提案法とATPGテストパターンのSDQL比較

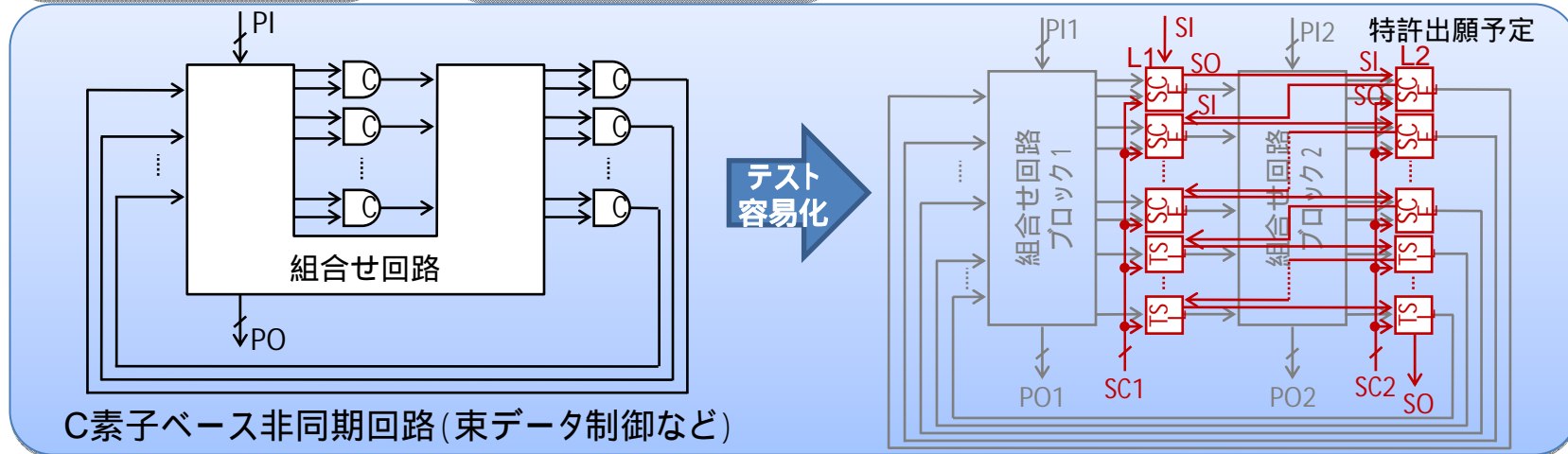


# 技術：非同期回路テスト

ねらい	NoC非同期インターコネクットのテストをサポートする
目標	組合せ回路 / 順序素子の論理故障に対して完全故障検出を保証
内容	<p>入力: C素子ベース非同期回路</p> <p>機能: 組合せ回路部に任意のテストパターン印加、順序素子に任意の2パターン印加、およびそれぞれに対して任意の応答観測保証</p> <p>出力: テスト容易化非同期回路</p>



- 東データ方式インターコネクット制御回路向け
- 2つのスキャン素子でLSSD構成
- 組合せ回路部分割テストで完全故障検出
- 順序回路部のテストもサポート





## ■ システム / 要素の複数切り口での実用化を目指す

