

ディペンダブル ワイヤレスシステム・デバイスの開発

研究代表者:

坪内 和夫 (東北大学 電気通信研究所)

主たる共同研究者: 松澤 昭 (東京工業大学)

岩田 誠 (高知工科大学)

藤島 実 (広島大学)

三菱電機株式会社

協力企業: 日本電気株式会社

ソフトバンクテレコム株式会社 ほか

発表内容 (Q: 進捗報告会での質問事項との関連)

- 従来のネットワークとディペンダブル・エア

- Q: DWS の特徴・生活者の視点からのメリット
- Q: ディペンダブル・エアの定義

- ディペンダブル・エアの基盤技術

- Q: 全体的なコンセプトの実証
- Q: 客観的指標を立てたベンチマーク比較

パイロット信号で
ディペンダビリティ計測
⇒ 計測結果を元に
信号選択・補償

- 最終目標・研究計画・進捗報告

- Q: ディペンダビリティ最終目標の明示と個別技術の進捗の関係
- Q: システム統合後の全体評価計画
- Q: FDE 回路開発の成果の明確化

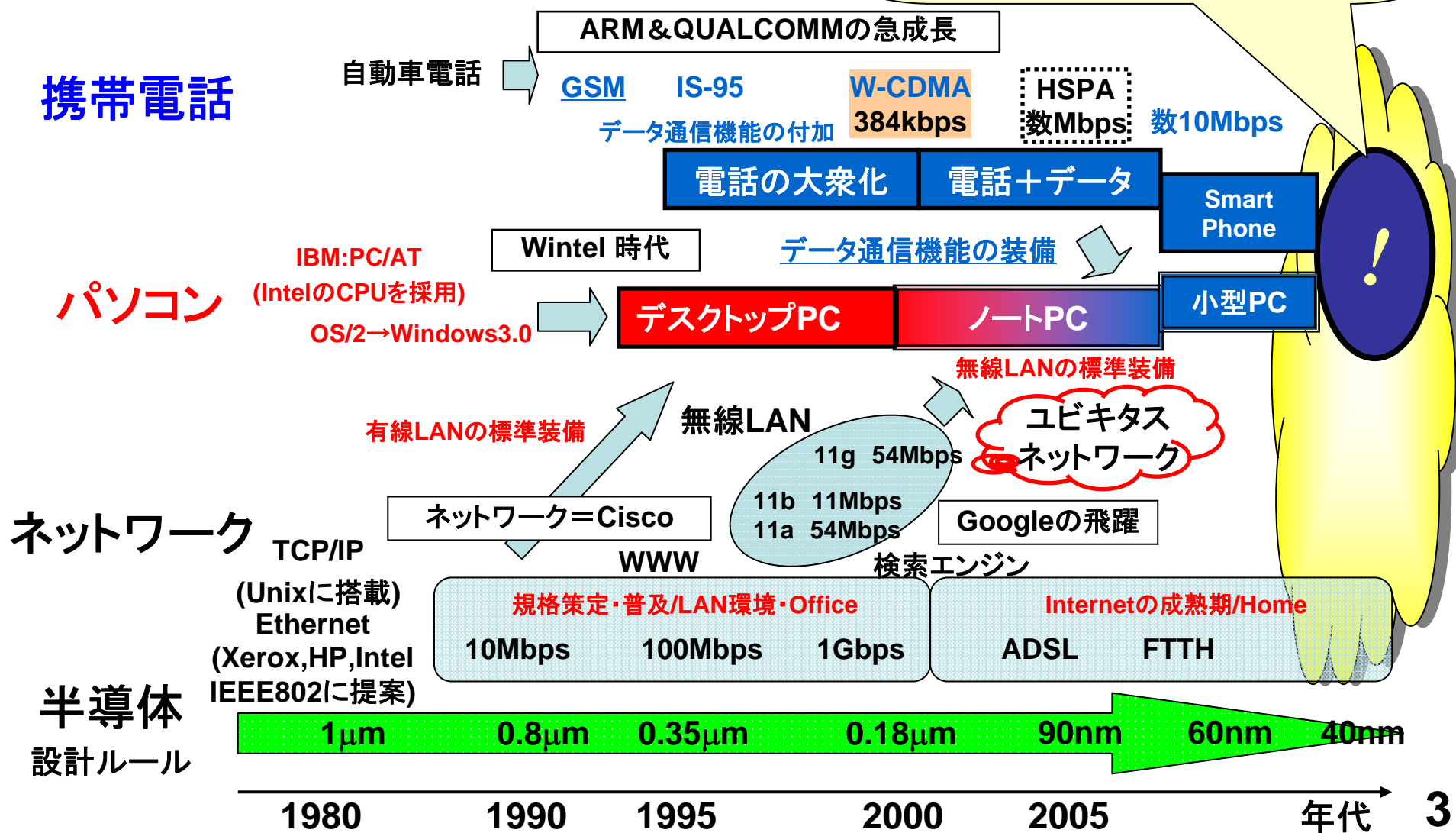
DWS: dependable wireless system

FDE: 周波数領域等化

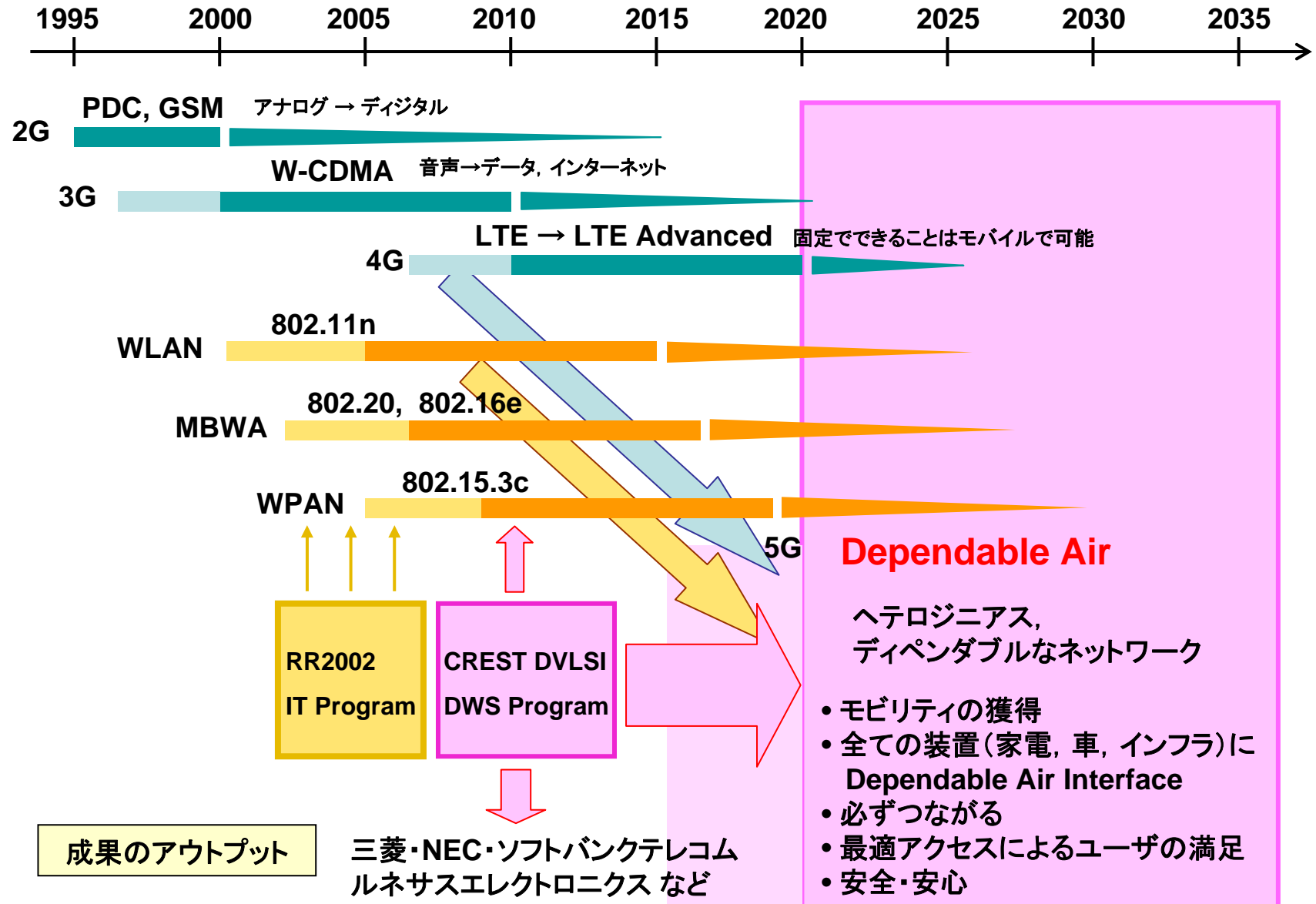
(frequency domain equalization)

携帯電話・パソコンとネットワーク・半導体

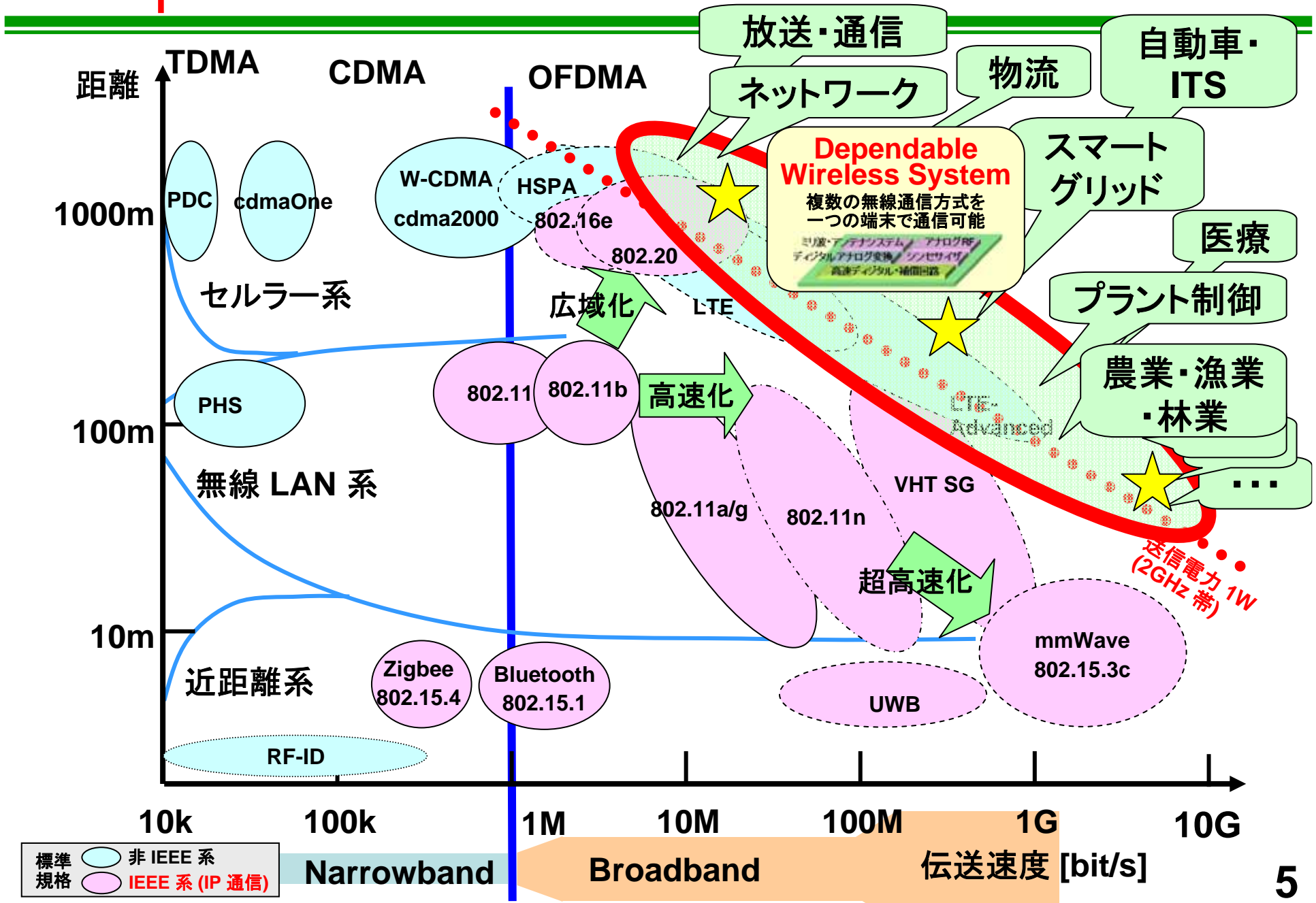
Dependable Air
 ヘテロジニアス、ディペンダブルなネットワーク
 ・モビリティの獲得
 ・全ての装置（家電、車、インフラ）に
 Dependable Air Interface
 ・必ずつながる
 ・最適アクセスによるユーザの満足
 ・安全・安心



ロードマップ



Dependable Air



Dependable Air: ネットワーク／チップ

異種ネットワーク統合技術

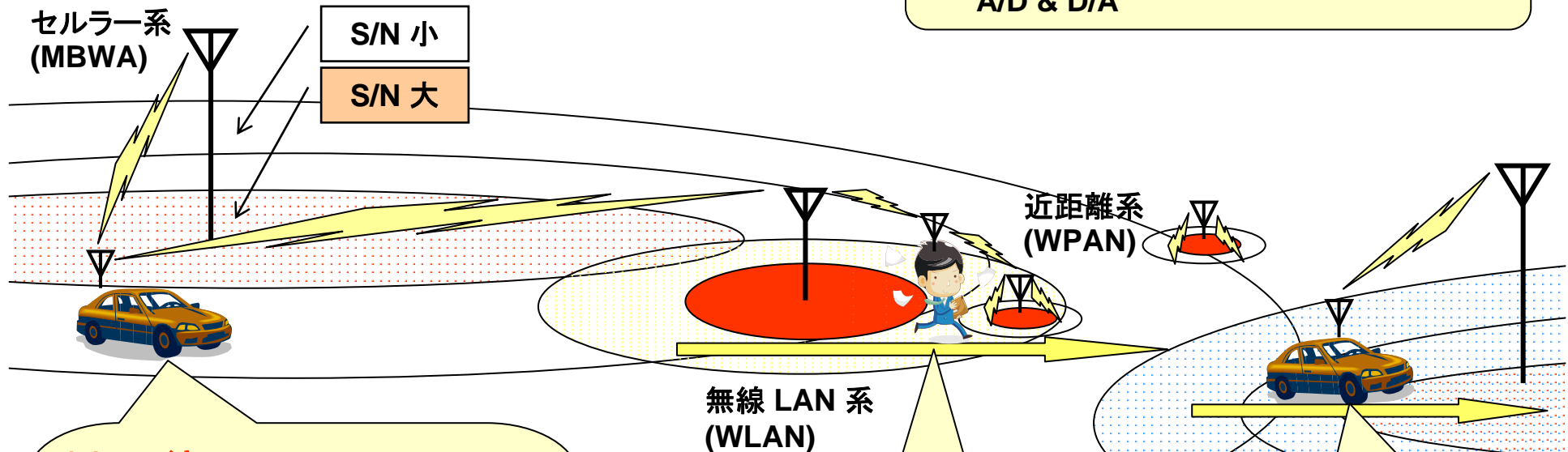
人と人, 人とモノ, モノとモノをつなぐ
情報ネットワークから
制御ネットワークまで

ディペンダブル・エア インターフェース

- (1) Universal RF
- (2) FDE
- (3) スケーラブル
A/D & D/A

ミリ波・アンテナシステム / アナログRF
デジタルアナログ変換 / シンセサイザ
高速デジタル・補償回路

All Si CMOS



(1) ワイヤレス

ディペンダビリティ計測

- + 周波数領域等化技術を駆使し、複数の通信帯域・方式をパイロット信号を用いて同時に計測
- + 通信距離・S/N・BERを計測し、干渉除去・補償後、最適な通信環境を選択

(2) ヘテロジニアス

ネットワークローミング技術

- + モビリティの獲得
- + 最適な通信回線の選択

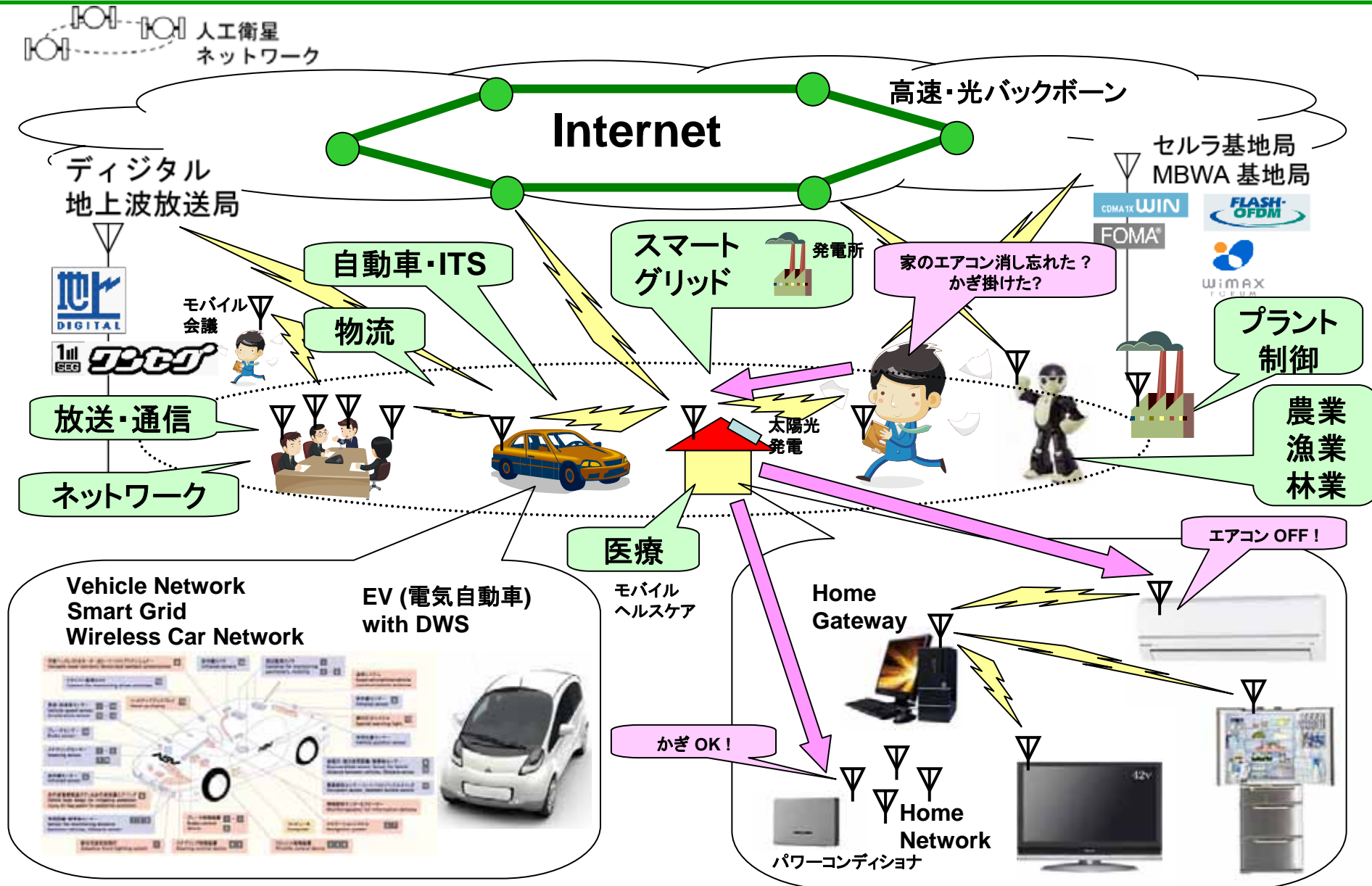
(3) シングルキャリア・

マルチキャリア

ハイブリット変調方式

- + 通信距離・S/N・BERに応じた適応変調
- + 接続性の向上

ディペンダブルエアインターフェース



ディペンダブル・エア: 基盤技術

ユーザの満足度

安心・安全: 必ずつながる (FDE 推定)・最適アクセス方式選択
利便性: ヘテロジニアス, スケジューリング (SC/MC, 方式選択)

回路技術

(1) オールシリコン CMOS モジュール:

小型・低消費電力・低コスト端末

⇒ あらゆるものにディペンダブルエアインターフェースが搭載

(プラス α) ミリ波デバイス:

高速・大容量, アンテナ小型化, 通信範囲限定による高機密性

システム技術

(1) ワイヤレスディペンダビリティ計測: BER・bit/s・S/N

- FDE を用いたチャネル計測・推定技術
(高速かつ効率のよい計測・推定)

(2) ヘテロジニアスネットワークローミング:

周波数帯域・モード選択, 消費エネルギー最適化

- 計測・推定結果を元にした適切な無線回線の選択

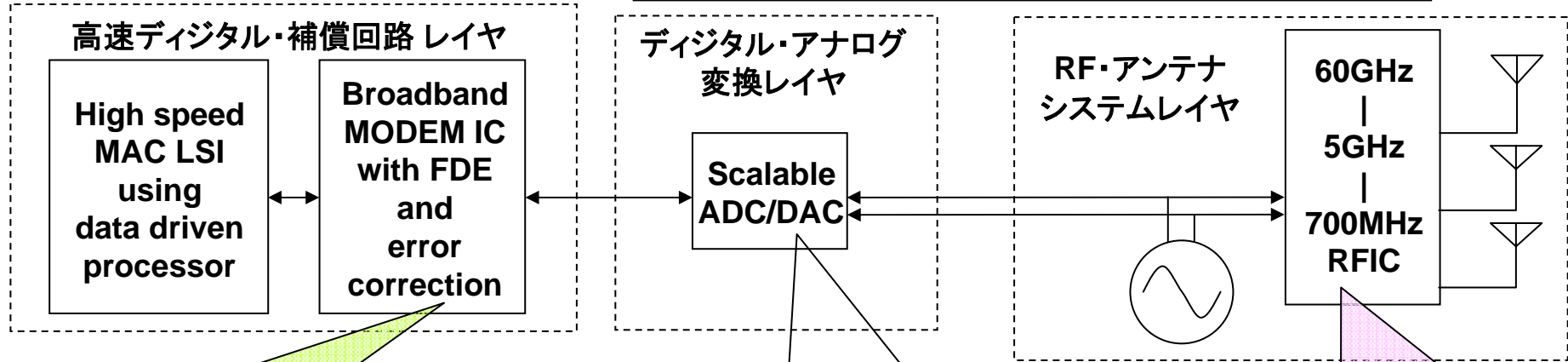
システムのベンチマーク

ディペンダブル・エア	現状の無線端末	ソフトウェア無線	コグニティブ無線
<p>ヘテロジニアス, ディペンダブルな, ネットワーク</p> <ul style="list-style-type: none"> ・モビリティの獲得 ・全ての装置に Dependable Air Interface ・必ずつながる ・最適アクセスによるユーザの満足 ・安全・安心 	<p>基本的に単一周波数の無線</p> <p>マルチモード (W-CDMA, GSM, BT, フェリカ, ワンセグTV, 等) が使える場合があるが, これらは相互連携していない</p>	<p>ソフトウェアダウンロードにより無線機の中身を変える</p> <p>原理的にはヘテロジニアスなマルチモード送受信機も構成可能であるが, 寸法, 重量, 消費電力が大きくなる</p>	<p>(狭義) 周波数の空きスペース (White Space) を適応的に活用</p> <p>(広義) 異なる周波数をシステムにまたがって適応的に活用</p>
	<p>あえて言えば, 個々の無線システム性能がディペンダブル・エアのベンチマークとなる</p> <p>3G携帯電話 最近のスマートフォン 4G携帯電話 (LTE Advanced) WLAN (IEEE802.11n) MBWA (IEEE802.16e) WPAN (IEEE802.15.3c)</p>	<p>例 アジレント社 85777D-KS 無線LAN送受信装置</p>	<p>広義な意味で, 周波数帯を切り替えて使用するヘテロジニアスな部分はディペンダブル・エアと同じ</p> <p>しかし, ディペンダブルの概念はない</p> <ul style="list-style-type: none"> ・計測技術なし ・補償技術なし

研究内容 と 主な研究成果



All Si-CMOS **ブロードバンド SC/MC FFT/IFFT**



2) 伝搬歪, デバイス特性を補正するブロードバンド周波数領域等化 (FDE) 技術

坪内 (東北大), 岩田 (高知工科大), ソフトバンクテレコム

3) 方式ごとに適応的にビット幅・サンプリング周波数を切り替えるスケーラブルADC/DAC

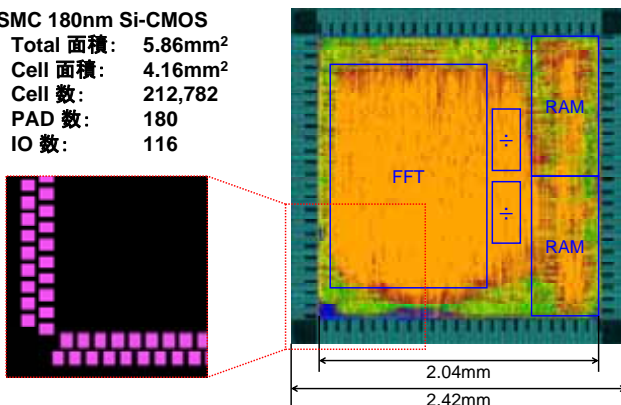
坪内 (東北大), 松澤 (東工大)

1) オールシリコンCMOSによるRFIC (500MHz~70GHz)

坪内 (東北大), 藤島 (広島大), 三菱電機, NEC

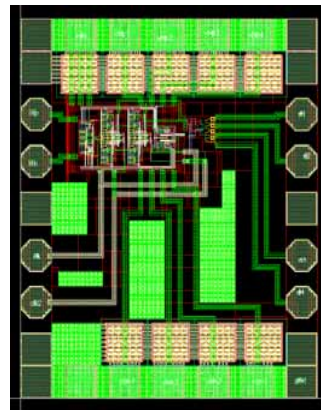
FDE の ASIC への実装・評価

TSMC 180nm Si-CMOS
 Total 面積: 5.86mm²
 Cell 面積: 4.16mm²
 Cell 数: 212,782
 PAD 数: 180
 IO 数: 116



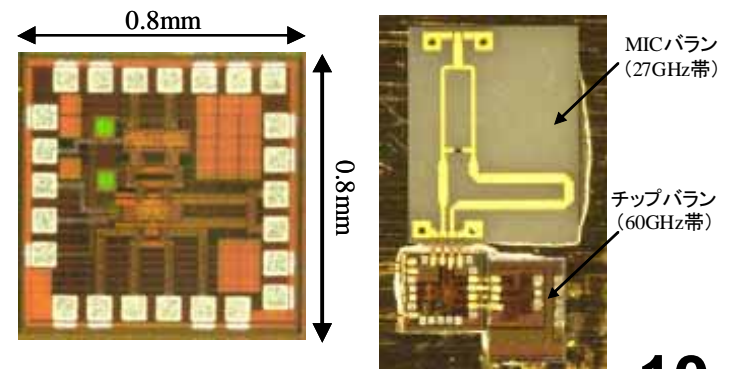
電流モードパイプライン型 ADC 試作

TSMC 90nm Si-CMOS
 Core size: 120μm × 330μm



60GHz 帯高調波ミキサ回路の試作

TSMC 90nm Si-CMOS

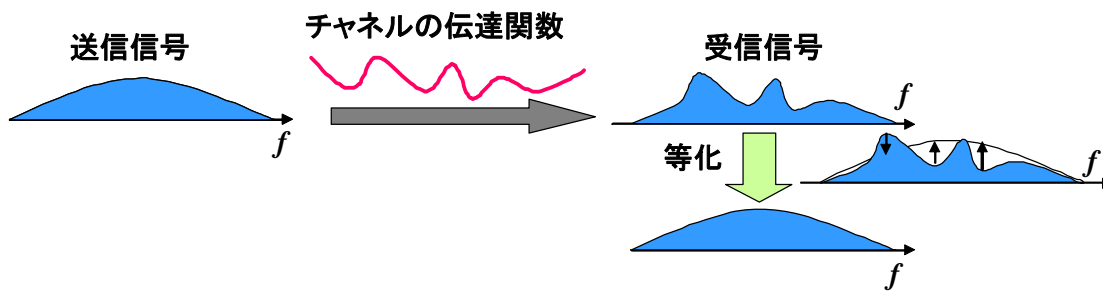


主な研究成果 (1)

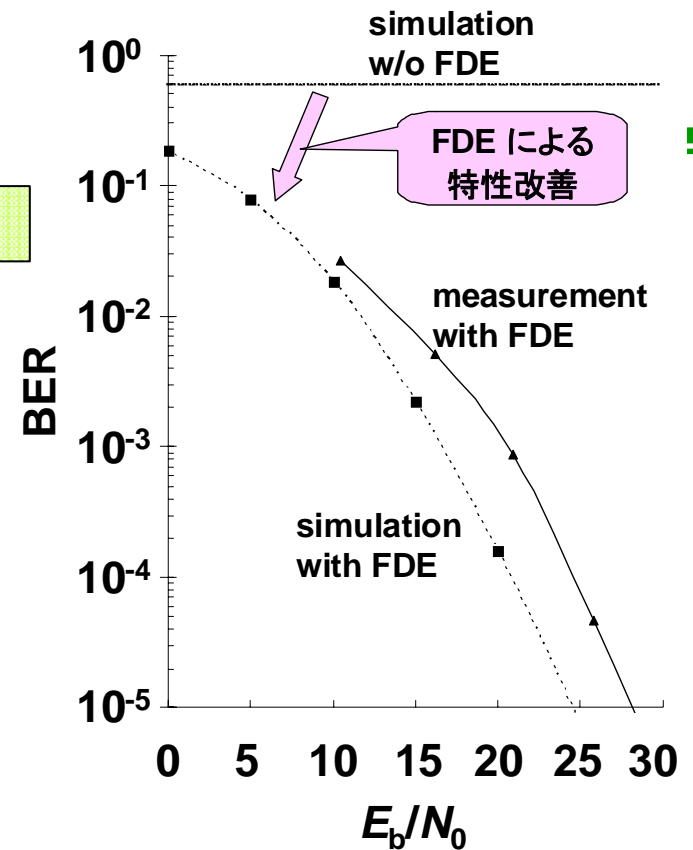
領域 2) ブロードバンド周波数領域等化 (FDE) 技術

FPGA 設計・実装・評価

- ・ 伝搬路・デバイスの周波数特性の推定・補償技術
- ・ 実装・実測によりその効果を初めて実証



▲ FDE による特性改善

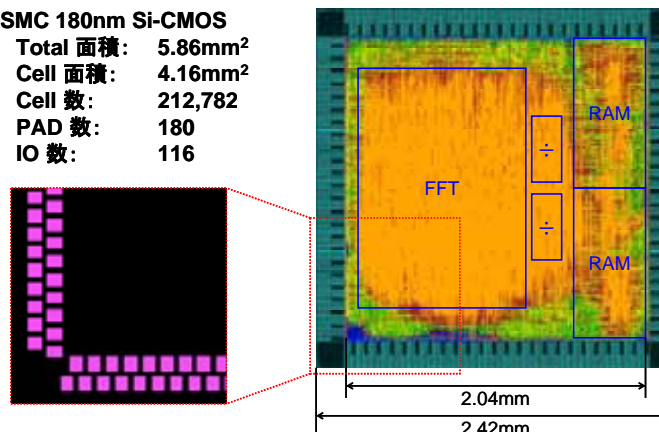


▲ FPGA による実測評価

ASIC 設計・実装・評価

- ・ TSMC 社180nm Si CMOS プロセス
- ・ コアサイズ約 2mm 角
- ・ 評価用基板を製作し、ASIC の評価中

TSMC 180nm Si-CMOS
 Total 面積: 5.86mm²
 Cell 面積: 4.16mm²
 Cell 数: 212,782
 PAD 数: 180
 IO 数: 116



▲ 試作チップレイアウト図



▲ 評価用基板

主な研究成果 (2)

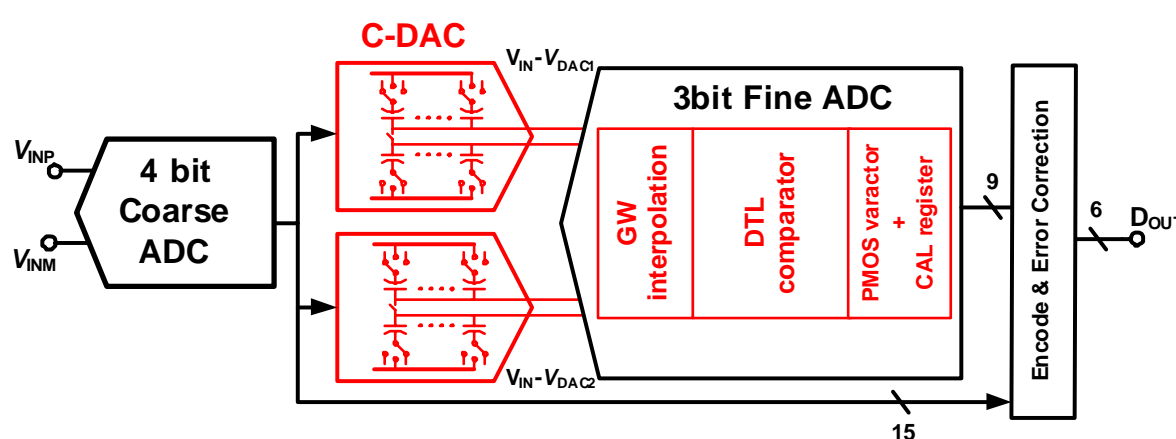
領域 3) スケーラブルADC/DAC

超高速 ADC の研究

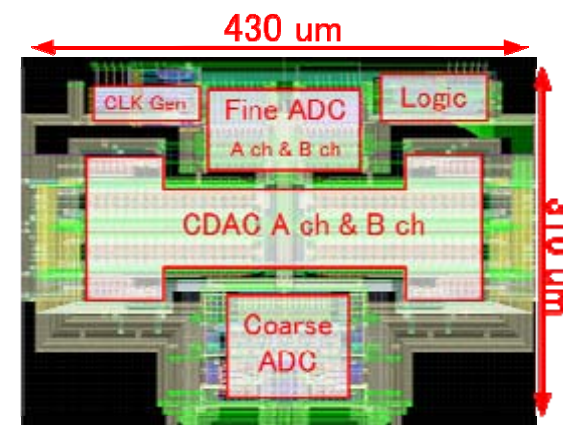
(東京工業大学グループ)

6bit, 700MSps, 7mW 超高速・低電力 ADC を実現

- ・ 世界最小変換エネルギー 250fJ/conv. で動作
- ・ 容量演算とダイナミック比較器を主体とし、貫通電流がほとんどない回路構成



(a) ADC 構成図



(b) 試作チップレイアウト図

(c) 従来研究との比較

	[1]	[2]	[3]	[4]	[6]	This Work
Resolution(bit)	6	6	6	6	6	6
fs(GS/s)	0.8	1.2	0.7	1.25	1	0.7
SNDR(DC/Nyq.)	35/32	34/33	31/30	34/28	35/33	35/34
Pd (mW)	12	75	24	32	30	7
Active area(mm ²)	0.13	0.43	0.052	0.09	0.18	0.13
VDD(V)	1.2	1.2	1.2	1.2	1.2/1.0	1.2
FoM(pJ)	0.44	2.17	1.31	1.22	0.8	0.25
CMOS Tech.(nr)	65	130	130	130	90	90
Architecture	Flash	Flash	Pipeline	2b-SAR	Subrange	Subrange

スケーラブル ADC の開発

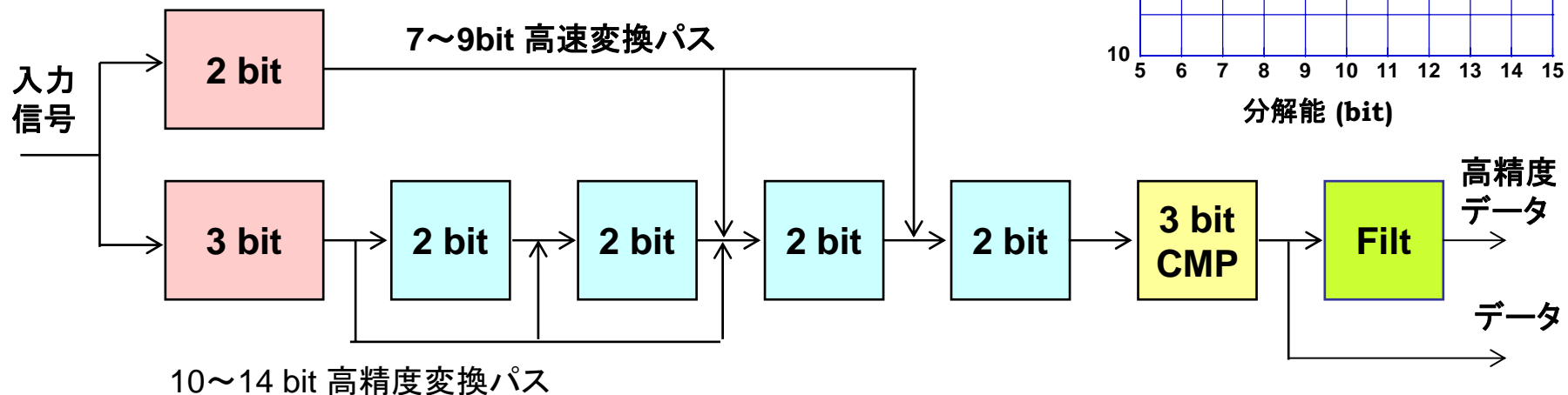
1つの ADC で、GHz を超える超高速動作から 14bit 程度の高分解能動作までを、最小の消費電力と面積で実現する、スケーラブル ADC を開発する。

これまでの研究により、適切な構成が明らかになってきたので、本年度はそれを集大成しスケーラブルADCとしてまとめる。

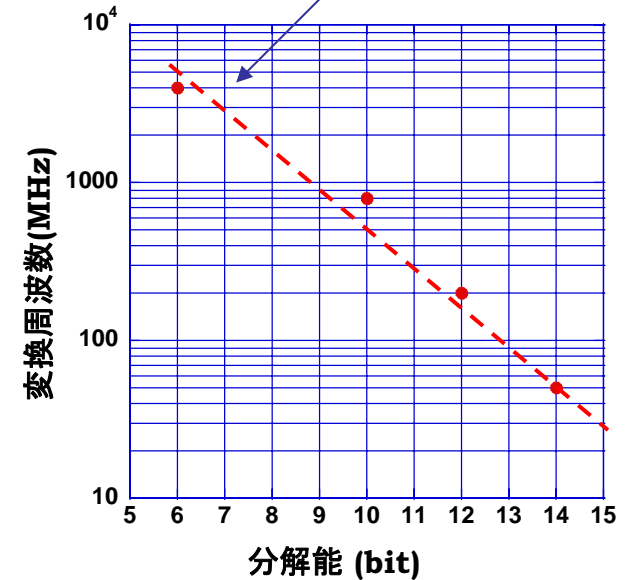
ポイント

- ・パイプライン構成: 分解能のスケーラビリティ
- ・オープンループ+補間: 高速化、微細化、低電圧化
- ・ダイナミック動作: 最小エネルギー動作
- ・容量演算: 最小エネルギー動作
- ・フィルター演算: 高分解能化
- ・デジタルアシスト: 高分解能化

スケーラブルADCの基本構成



この線上の性能を1つのADCで実現



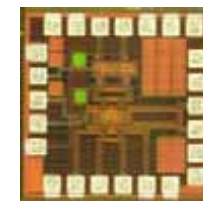
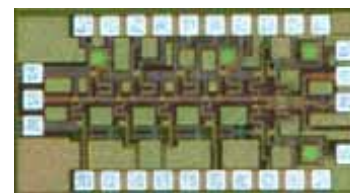
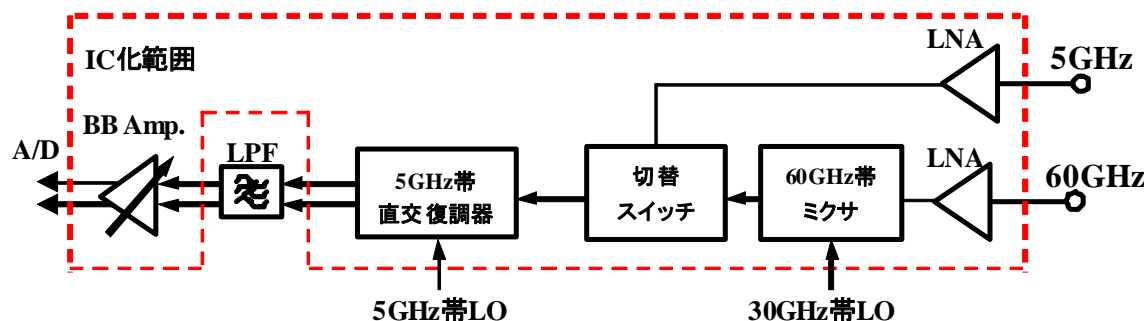
領域 1) オールシリコン CMOS による RFIC

Si CMOS 90nm プロセスによる受信器 RF IC の設計・試作・評価

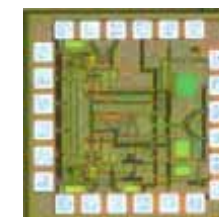
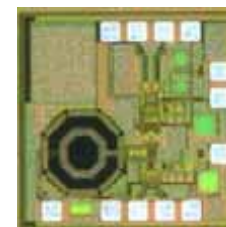
(東北大学グループ・三菱電機グループ)

60GHz 帯: 受信 RF 回路(ミクサ・LNA (Low Noise Amplifier)) 設計・試作

5GHz 帯: 受信 RF 回路(直交復調器・LNA)の設計・試作



(a) 60GHz帯LNA (b) 60GHz帯ミクサ



(c) 5GHz帯LNA (d) 5GHz帯直交復調器

直交復調器を5GHz帯／60GHz帯で共用することにより、
受信器としてのディペンダビリティを向上.

研究開発スケジュール

10年度: 60GHz帯統合IC試作／5GHz帯統合IC試作

11年度: 60GHz／5GHz帯統合IC試作

12年度: ICの基板実装による受信器試作

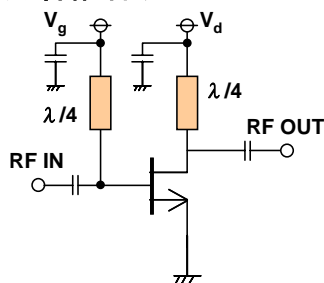
主な研究成果 (3)

■60GHz帯LNA試作状況

☆ソース接地形5段増幅器を試作

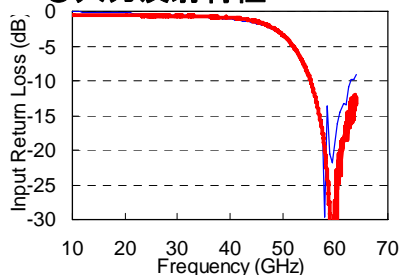
モデル精度/シミュレーション方法検証のため、1段/3段増幅器を試作・評価中。

●回路構成(1段増幅器)

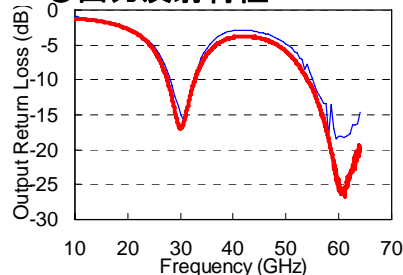


●評価結果

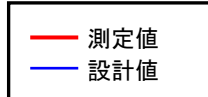
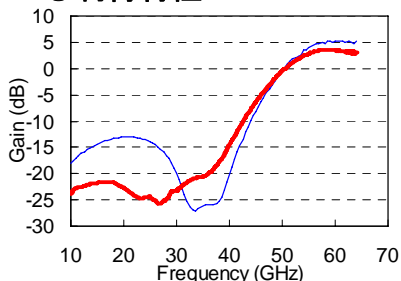
○入力反射特性



○出力反射特性



○利得特性



測定値と設計値は
ミリ波帯で良く一致

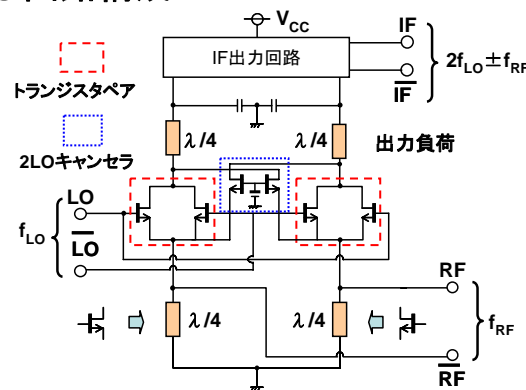
■60GHz帯ミキサ試作状況

☆λ/4線路を適用した

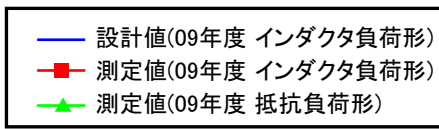
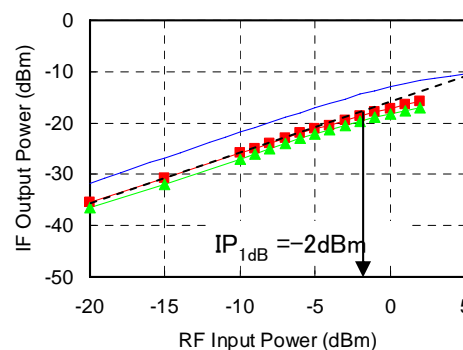
トランジスタペア形偶高調波ミキサを考案・試作.

- ・通常の1/2の周波数の局部発振波でミキシング動作
- ・λ/4線路適用により高飽和特性を実現.

●回路構成



●入出力特性評価結果



<評価条件>

- ・ $f_{RF}=60\text{GHz}/f_{LO}=27.5\text{GHz}/$
- $f_{IF}=5\text{GHz}$
- ・ $V_{dd}=1.2\text{V}/I_{dd}=1\text{mA}$

入力1dB利得圧縮点(IP_{1dB})として-2dBmを実現

スケジュール・役割分担

