

統合的高信頼化設計のための モデル化と検出・訂正・回復技術

安浦寛人

九州大学システムLSI研究センター

研究の目標とアプローチ

- さまざまな種類のエラー(製造故障、ソフトエラー、タイミングエラー、設計誤り、不完全な仕様に基づく誤り、悪意のある攻撃など)に対して、統一的な視点からデジタルVLSIシステムのディペンダビリティを確保するための設計技術の確立を目指す。
- ディペンダビリティの解析と対策回路の合成を行うEDAツールを核とした、ディペンダブルLSI向け設計フローを構築する。
- 具体的な問題から、一般化、ツール構築、フロー構築へ展開する。

対象とするVLSIシステム

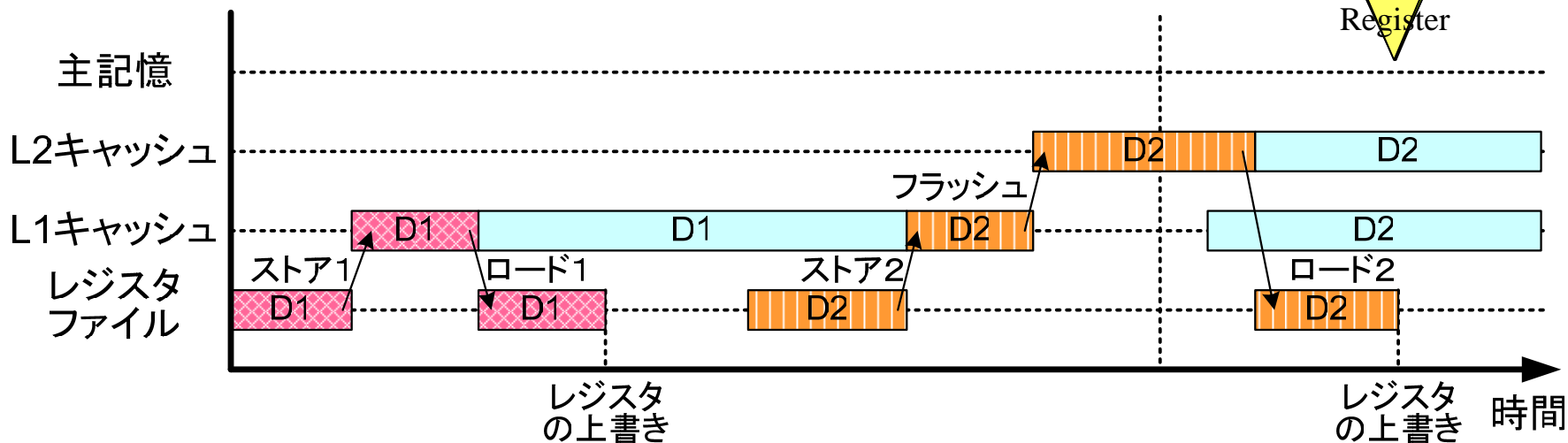
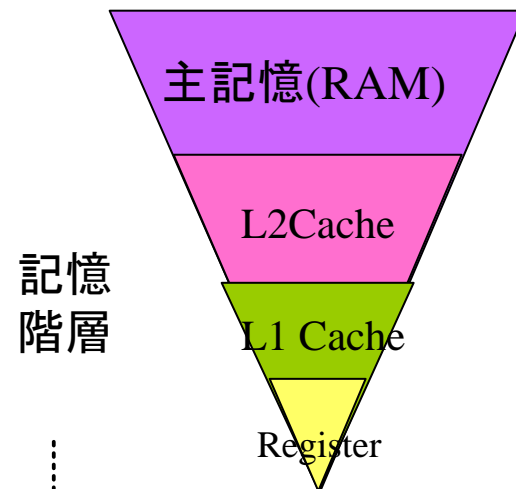
- 標準的なデジタルVLSIシステムに対するシステム設計フローとそのための設計ツール及びアーキテクチャ・回路の設計技術を構築する。
 - 1) 社会の情報基盤に多用されると考えられる機器：携帯電話、ICカード、リーダー、各種制御機器、情報家電機器など（LSIメーカー、情報機器メーカー）
 - 2) 安定性が要求される産業用機器：製造プロセスの制御機器、プロセス監視用センサーシステムなど（制御機器メーカー）
 - 3) 交通関連機器：自動車などの車載機器、交通監視システム、各種センサーノードなど（自動車メーカー、車載機器メーカー）

システムとしてのディペンダビリティ

- 個別素子、個別回路、個々のソフトウェアのディペンダビリティとVLSIシステムとしてのディペンダビリティの関係の明確化
 1. 因果関係の明確化
 2. 影響の定量化
 3. 対策の効果の明示
- 具体例から一般化へ
 1. メモリシステムのソフトエラー問題
 2. テスト容易化とセキュリティ問題
 3. タイミングエラーへの対策

メモリのソフトエラーのシステムレベルでの影響

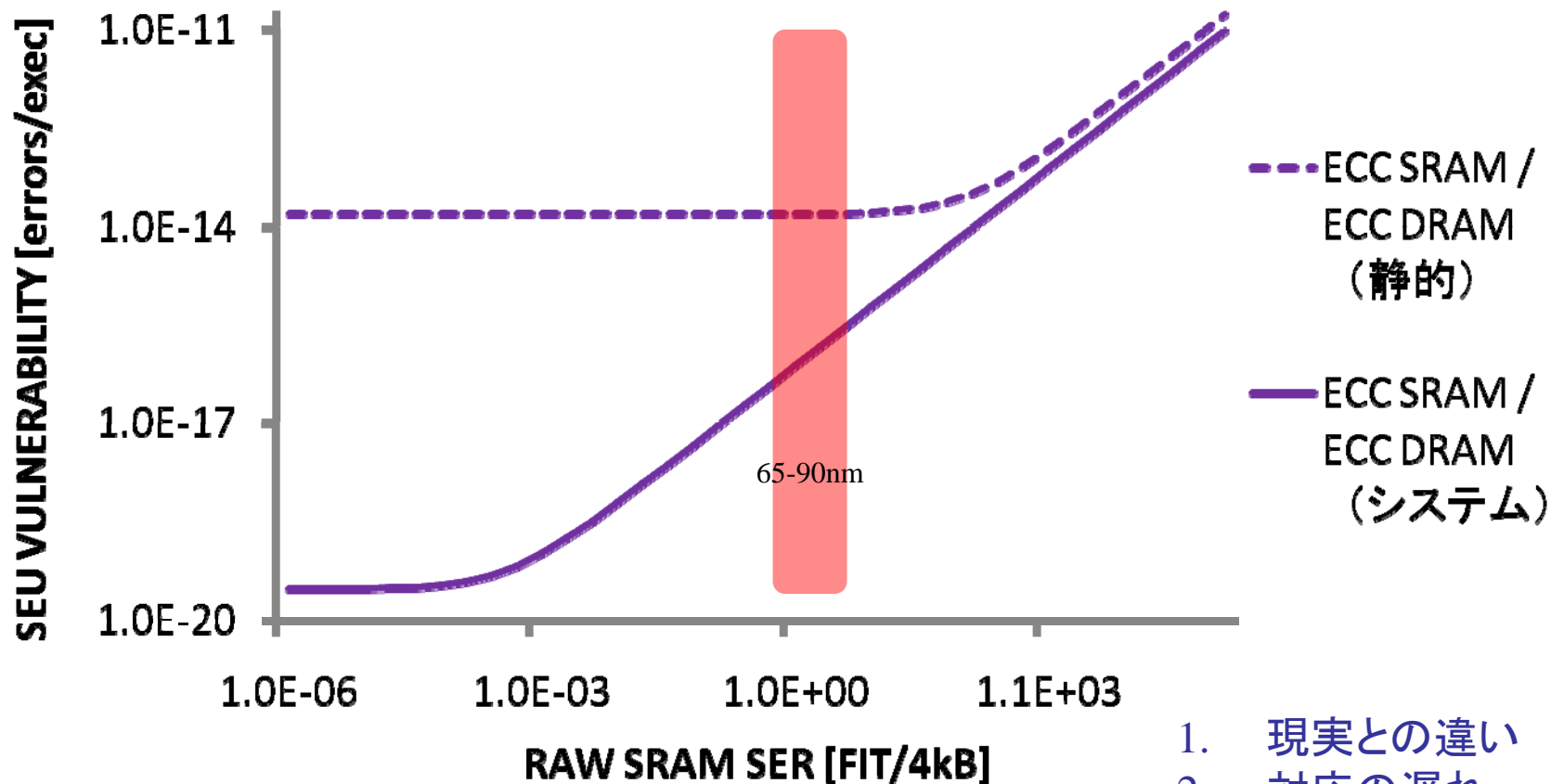
- すべてのメモリセルのエラーがシステムレベルのエラーに直接つながるわけではない。
- セルレベル／回路レベルでの対応策がシステムレベルのデペンダビリティに与える影響をどのように評価するか？



- ロード1で数えられるシングルイベントアップセット
- ロード2で数えられるシングルイベントアップセット
- コンピュータシステムのソフトエラーとならないシングルイベントアップセット

見積もり手法の影響

静的見積もりとシステムレベル見積もりの比較

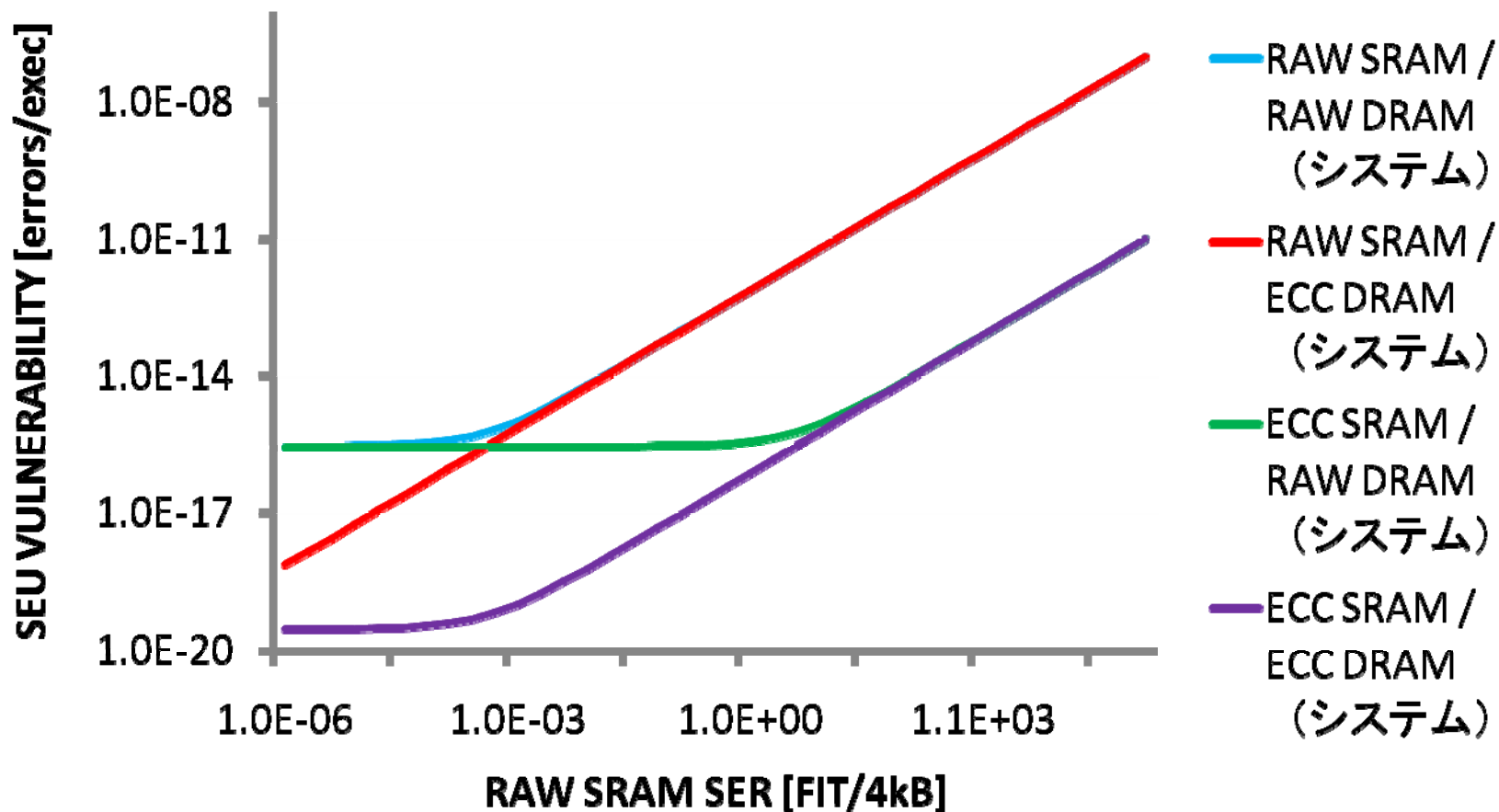


1. 現実との違い
2. 対応の遅れ
3. 重大事故の誘因

プログラム: basicmath (MiBench),
 L1キャッシュ: 4ウェイセットアソシアティブ(ライトスルー)
 RAW DRAMのSER: 10^{-8} FIT/bit,
 ECC DRAMのSER: 10^{-12} FIT/bit

誤り訂正符号の効果

SRAMとDRAMへの導入効果



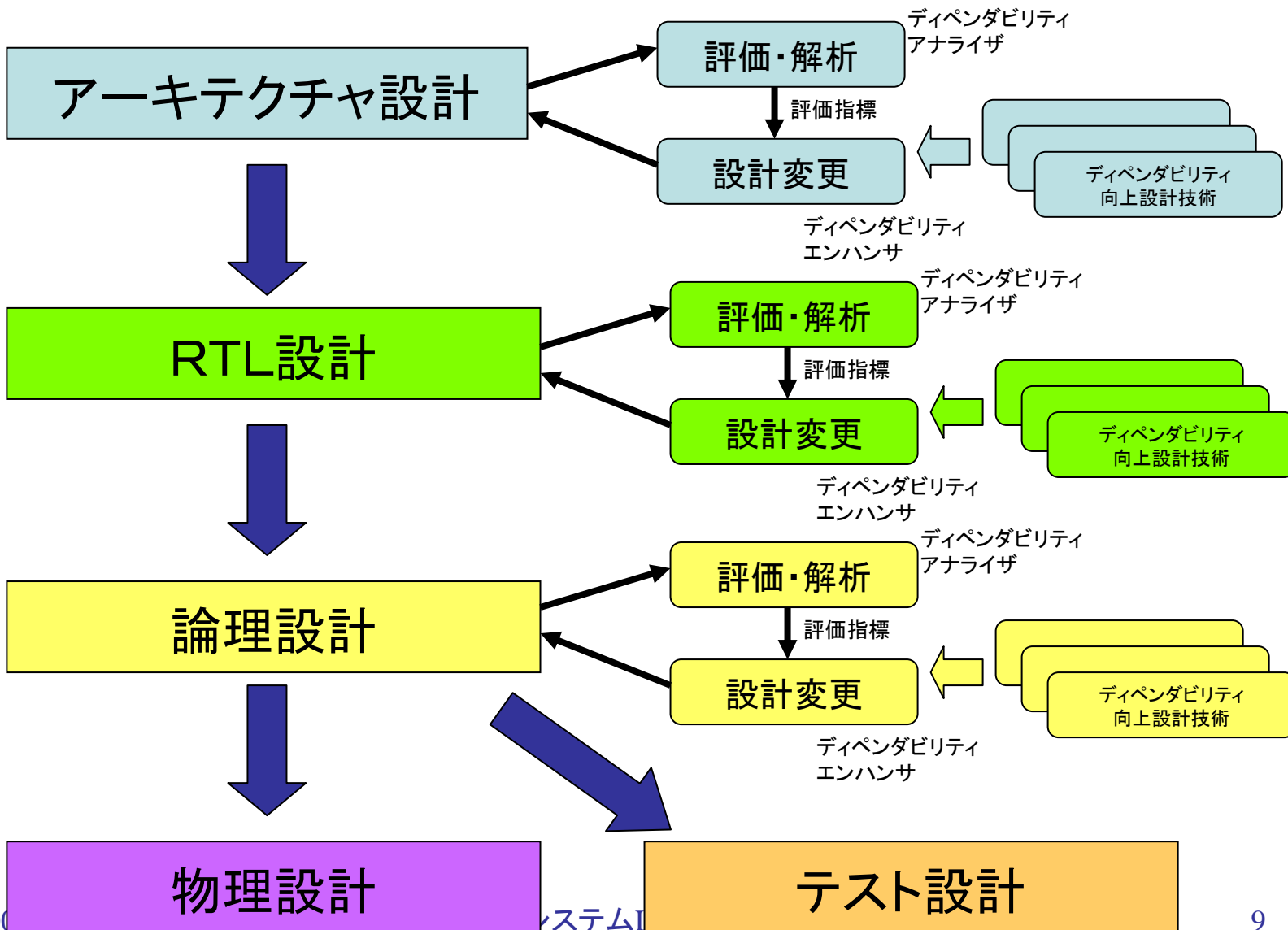
プログラム: basicmath (MiBench),
 L1キャッシュ: 4ウェイセットアソシアティブ(ライトスルー)
 RAW DRAMのSER: 10^{-8} FIT/bit,
 ECC DRAMのSER: 10^{-12} FIT/bit

•どこに投資すべきか

今後のアプローチ

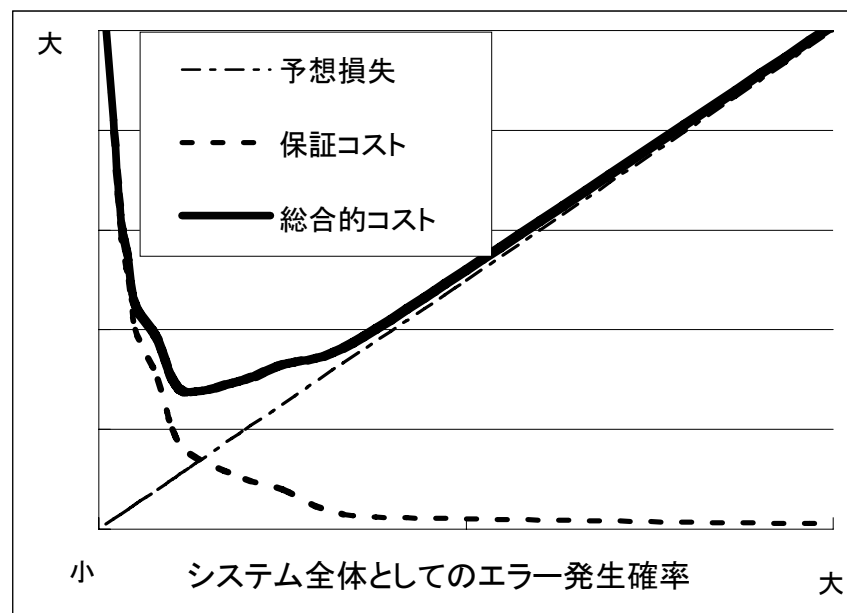
- 具体例から一般化へ
 1. 具体的問題の原因解明と対策
 2. 一般化によるシステムアーキテクチャへの反映
 3. 設計ツール／フローの構築により安定した技術への展開
- システムとしてのVLSIの設計フローとEDAツール／フレームワークの開発
 1. ディペンダビリティの評価指標の定義
 2. ディペンダビリティ指標の評価技術(システムレベル、RTLレベル)
 3. ディペンダビリティを向上させる個別設計技術
 4. VLSIの設計に組込む技術とコスト・性能・消費電力・ディペンダビリティのトレードオフを考えた最適設計点の探索技術

設計ツールとフローの構築



ディペンダビリティの評価指標

- 設計、素子・部品の信頼性、外部環境が与えられたときの上位システムのディペンダビリティの数値化
- コスト・性能・消費電力とのトレードオフが考慮できる指標
 - 予想損失 + 保証コスト
 - 予想損失: システムの障害により予想される損失
 - 保証コスト: システムの障害を低減するためにかかるコスト
- 産業界と協力して使える指標を定義



ディペンダビリティの評価技術

- アーキテクチャ、RTLレベル、論理回路レベルでのディペンダビリティ指標の見積もり手法
 - 物理レベルのモデルからのボトムアップ手法
 - システムの稼働情報からの統計処理などによるモデル化
 - 両者の融合
 - 計算時間と精度のトレードオフ
- Dependability Analyzerとしてのプログラム化
 - アーキテクチャ(システム)レベル、RTLレベル

自動設計技術

- 個別のディペンダビリティ向上技術を設計に自動的に組み込む技術
 - 動作合成、論理合成、テスト生成などのプログラムとの協調
 - Dependability Enhancerとしてのプログラム化
- 最適化設計の探索
 - 入力: 基本となる設計、各指標の達成制約、最適化の目的関数
 - 出力: 制約を満足し目的関数を最小化する設計
- 設計ツールと設計フレームワークの実現
 - 知的クラスタ創成事業で開発したツール群の利用

最終成果物(5年後)

- 設計フローとその基礎となる理論
- 個別のディペンダビリティ向上技術
- 設計ツール(ディペンダビリティ・アナライザ、ディペンダビリティ・エンハンサのプログラム)
- フィールド実験における実験結果

研究組織

- 九州大学大学院システム情報科学研究院およびシステムLSI研究センター
 - 安浦寛人 教授 VLSI設計技術、社会情報基盤
 - 佐藤寿倫 教授 VLSIアーキテクチャ
 - 松永裕介 准教授 EDA技術、VLSI設計技術
 - 馬場謙介 助教 発見科学、データマイニング
 - 吉村正義 助教 VLSIの故障検査、DFT
 - テクニカルスタッフ(1ないし2名)、博士3名、修士8名
- 豊橋技術科学大学 工学部
 - 杉原真 講師 VLSIの故障検査、信頼性向上
 - 修士3名

スケジュール

	平成19年度	平成20年度	平成21年度	平成22年度	平成23年度	平成24年度
基本方針 概念設計		基本戦略の策定		改良と一般化		
指標定義	基本案策定	改良と拡張、産業界への普及				
解析技術		具体的問題への取り組み		一般化、ツール化		
設計技術		具体的問題への取り組み		一般化、ツール化		
ツール構築		デモ用プロトタイプ構築		最終プロトタイプ構築		
実証実験 産業界との 連携		フィールド実験と 具体問題での連携		設計フロー構築に関する連携		

まとめ

- 具体的問題に関する実例(1、2年目)
- ディペンダビリティの評価指標
- 評価指標の見積もり技術とツール化
- 設計に自動的に組込む技術とツール化
- 設計フレームワークの確立
- ディペンダビリティを考慮したデジタルVLSIシステムの設計フローの確立
- 実環境での評価
- 産業界との連携と普及

日本の設計技術の問題

- 局所的な技術やツールはあるが、設計フレームワークやフローの中に組み込んで設計全体の流れを構築できていない
- 主流となる合成・解析の技術の放棄によるツール構築能力の低下
- EDAツールやフローの構築コストの共有と事業構築構想の欠如