



要求されるディペンダビリティを実現する 再構成可能デバイス向け設計ツール

京都大学
越智裕之

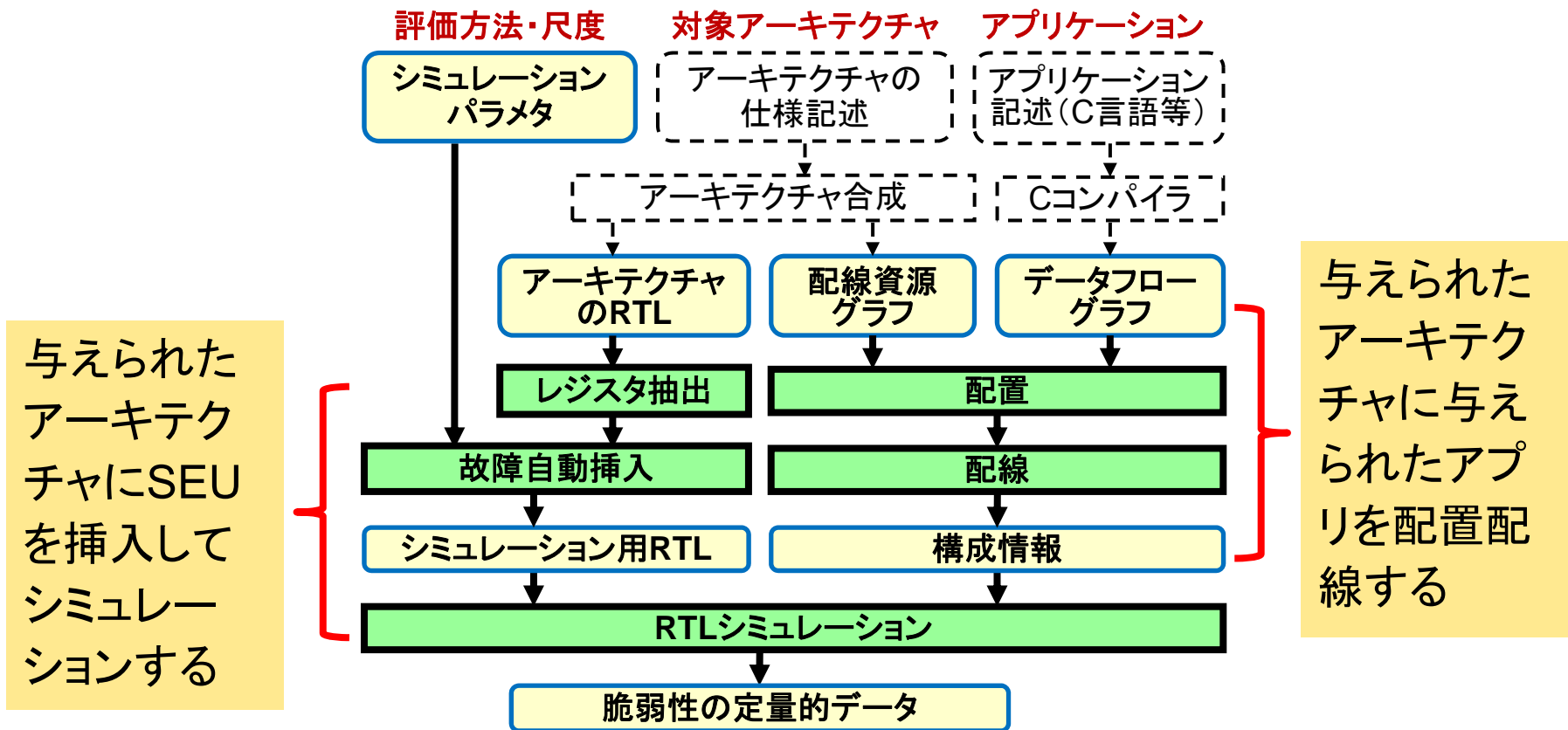
背景・目的

- 再構成可能アーキテクチャの普及
 - NREコスト低減、製造後の回路修正可能
 - 製造容易な規則的構造、...
- プロセス微細化に伴うソフトエラーの脅威
 - 特に再構成デバイスの構成情報SRAMは脆弱



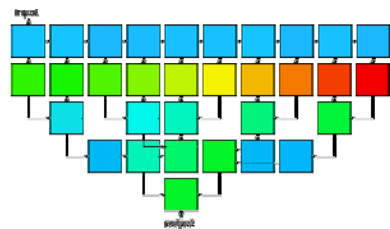
- 粗粒度再構成可能アーキテクチャに注目
 - 構成情報SRAMが小さくSEU耐性高い
 - メディア処理で応用が広がりにつつある
 - 高信頼設計向けの専用ツールが必要

ツールの概要

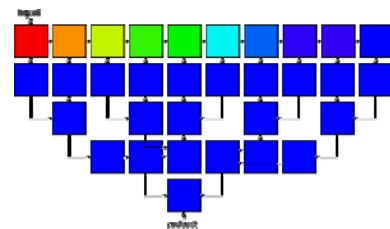


応用例(1)脆弱性の分布

- 粗粒度アレイ上にFIRフィルタをマッピングし、各セルにSEUが発生した時に出力誤りを起こす頻度を評価
- セルにより脆弱性は大きく異なる
- **赤は特に出力にエラーを起こしやすいセルなので、これらを重点的に対策するのが有効**

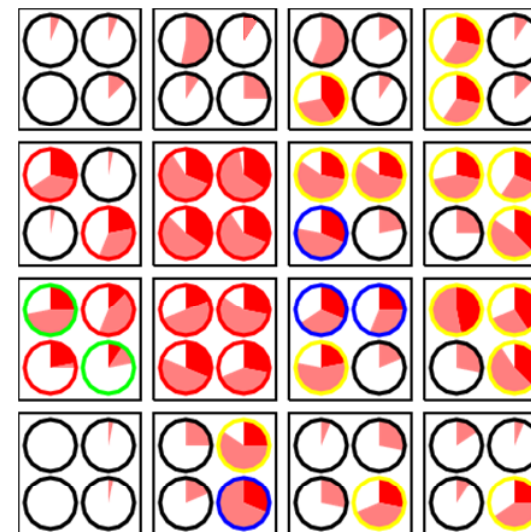


構成情報レジスタ



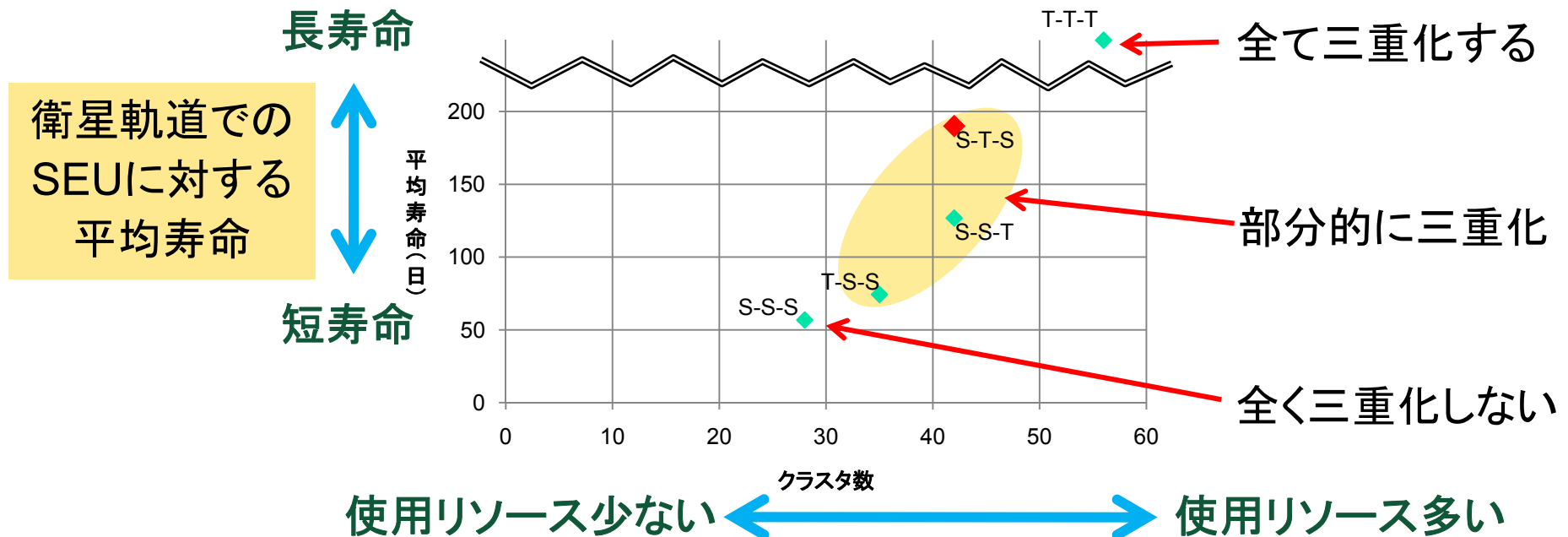
データパスレジスタ

- 粗粒度アレイ上にビタビデコーダをマッピングし、出力誤りを起こす構成情報量を、演算器関係と配線資源関係に分けて評価
- 中段のセルで配線資源が支配的



応用例(2) 部分的多重化と信頼性の関係

- ビタビデコーダを阪大アーキテクチャにマッピングし、SEUに対する脆弱性を評価
 - 部分的多重化によりコストとディペンダビリティのトレードオフが可能であることを示す



まとめ

- 粗粒度再構成可能アーキのSEU耐性を評価するシミュレーション環境を構築
- 応用例
 - 脆弱箇所の可視化→部分的三重化の効果的導入
 - 使用リソースと信頼性のトレードオフ検討
 - アーキテクチャの改良に向けた信頼性評価
- 今後の予定
 - 信頼性を考慮したマッピングの最適化
 - 信頼性を考慮した配置配線
 - 信頼性を考慮した上流合成系