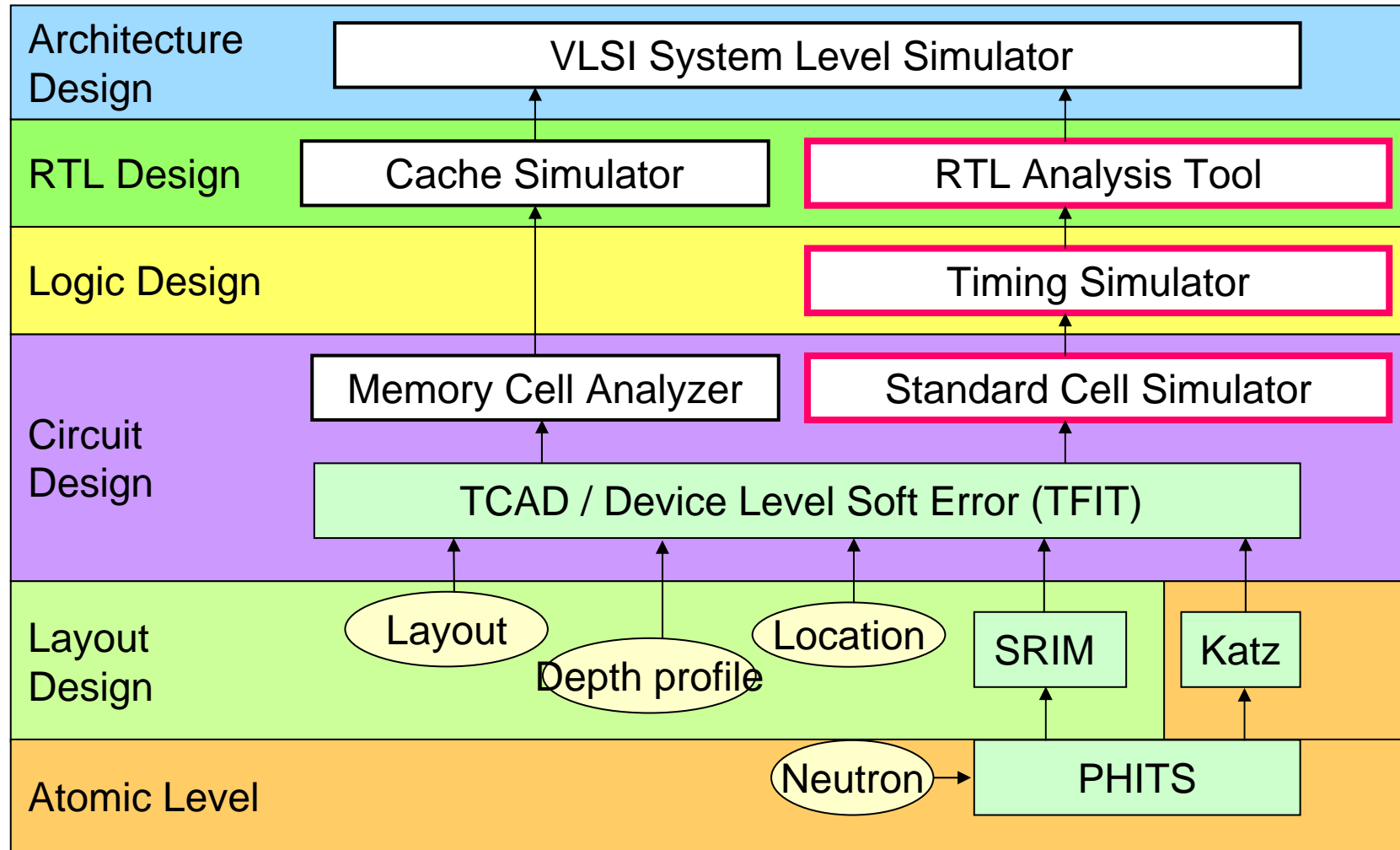


# ソフトウェア対策用EDAの課題と 挑戦

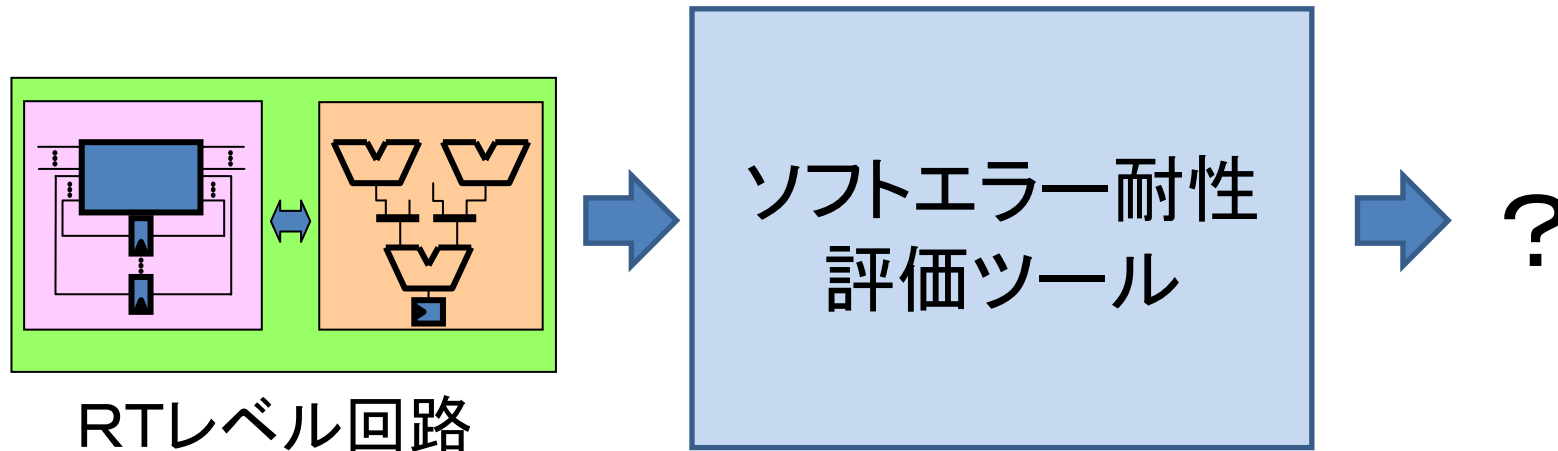
九州大学

松永 裕介(安浦T)

# A Tool Chain for Soft Error



# 何がOUTPUTか？



RTLレベル回路

- 設計した回路がどれだけのソフトウェア耐性を持つのか評価する
- なにがうれしいのか？
  - デバイスレベル、回路レベル、論理レベル、RTLレベルにおけるソフトウェア耐性の工夫を「定量的に」評価して、かかったコストとのトレードオフを図ることができる

# その指標って信用できるの？

- 直接的にはわかりません。
  - でも、加速試験をやっても数時間で100～数100のオーダのソフトエラーしか発生しない。
- ソフトエラー発生メカニズムとモデル化
  - 核反応、放射線物理、デバイスシミュレーションレベルの考察と実験結果のすり合わせが必要
- ソフトエラー伝搬メカニズムとモデル化
  - 論理レベルより上の話は従来の論理設計の検証やタイミング解析と同様の話。⇒static timing analysis (STA)はサインオフツールとして認知されている。ソフトエラー解析も同様では？

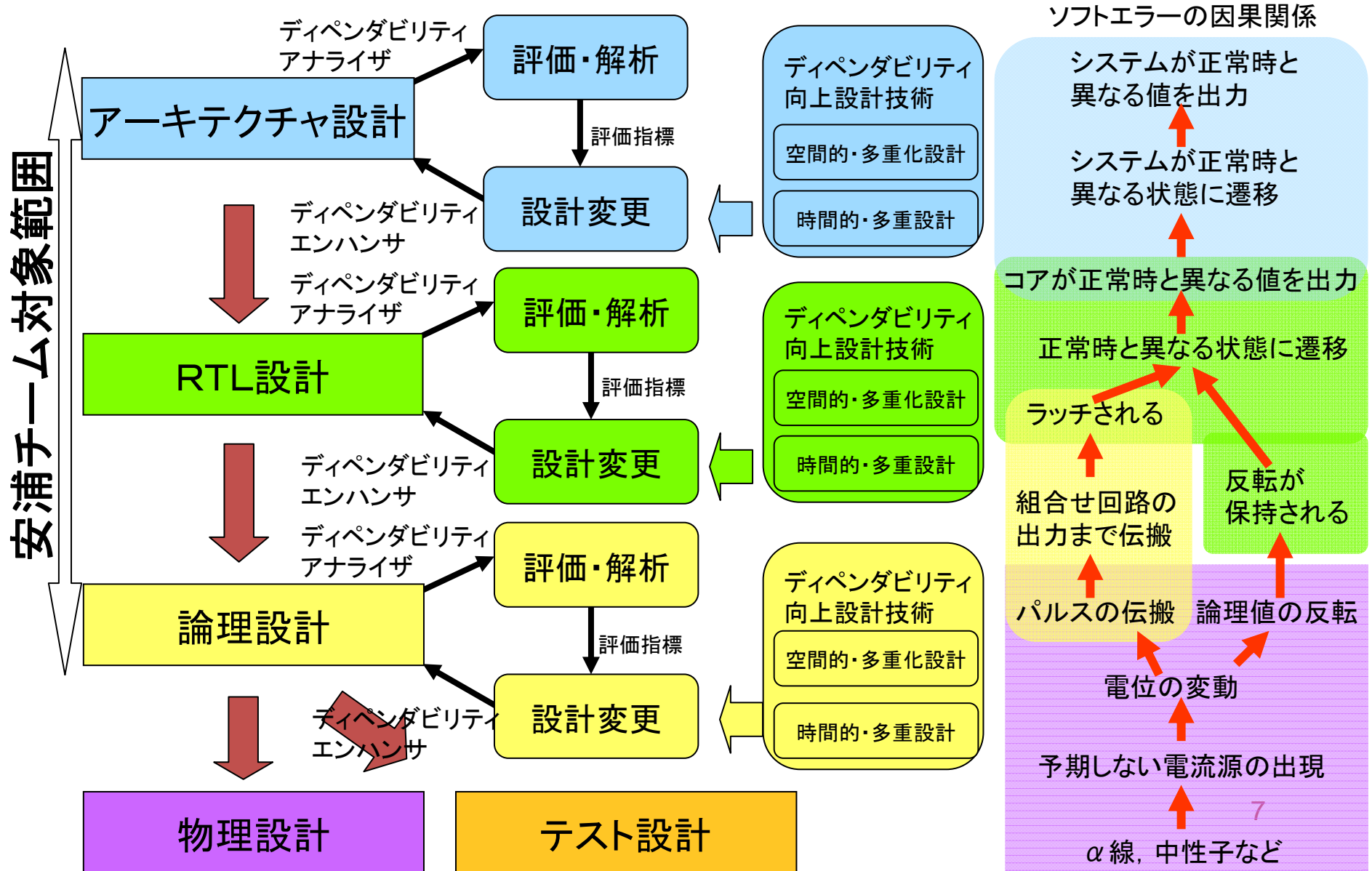
# 既存技術の問題点

- スケーラビリティ
  - 組み合わせ回路を対象にしても回路規模の2乗と入力数の指数乗に比例した手間を必要とする。
  - 順序回路に至ってはフリップフロップ数 × 6の指数乗に比例する。
- 精度
  - 翻って一部のエラーをサンプリングした fault injection ではどれだけの精度を保証できるのかの理論的裏付けがない。← STA vs. タイミングシミュレーション

# われわれの狙い

- 回路規模に比例した手間でソフトエラー耐性の解析を行う。
  - もちろん、厳密な値は無理なので、上限値の計算を行う(CF. STA における false path)
- [以外と難しい]設計の抽象化を利用して考慮する回路規模を抑える。
  - nビット出力の回路モジュールの出力にエラーが含まれているといっても可能性としては $2^n$ 通りの場合がある。⇒それを一律に「その回路出力にエラーが含まれる」と抽象化するのは乱暴

# 設計ツールとフローの構築



# 出口戦略？

- DVLSIに限らずEDAの研究は実用的なアウトプットを出すのが難しい。
  - ←論文にならない作業が大量に発生する。
  - ←日本にまともなEDAベンダがない。
- とはいっても、EDAの研究のためのインフラ整備をするべき
  - 使えるものをコツコツと開発したり集めたりする努力は必要。