

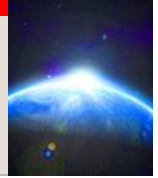
基幹サーバハードウェアに対する ディペンダブル設計の動向

富士通株式会社
次世代テクニカルコンピューティング開発本部
安藤



- サーバのディペンダビリティ
 - 半導体の微細化とその影響
- ディペンダブルなサーバの設計
 - 富士通のPRIMEQUESTサーバ
- ディペンダブルなCPUの設計
 - 富士通のSPARC64プロセッサ
 - 加速ソフトウェア実験
 - IBMのPOWER6, IntelのTukwila
- まとめ

サーバに要求されるディペンダビリティ



●基幹サーバの用途

- 証券取引所, 銀行オンラインシステム
- 航空機, 鉄道などの運行管理システム
- 企業の基幹業務処理システム
- などなど

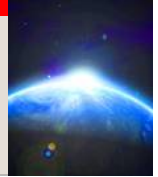
●要求されるディペンダビリティ

- 1年365日, 1日24時間, 止まらない

●しかし,

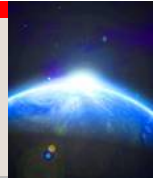
- ハードウェアは故障や誤動作する
- ソフトウェアのバグによる誤動作やオペレータのミスも発生
- ディペンダビリティ上, 後者も大きな問題であるが, ここではハードウェアの故障や誤動作に限定

ハードウェアのエラー



- **ハードエラー(固定故障)**
 - LSI内部での断線, ショートなどで発生
 - 故障部分を使用すると必ずエラーとなる
 - ◆ 修理には, 部品交換が必要
 - ◆ 検出や再現が容易
- **インターミッテントエラー(間欠故障)**
 - トランジスタの劣化などによる不安定な回路動作や接続部の接触不良, 半断線などでバースト的に発生
 - エラーの発生状況が温度, 湿度, 電源電圧, 振動などに影響される
 - ◆ エラーの再現には, まず, 環境の再現が必要
 - ◆ ハードエラーの前駆現象である場合が多く, エラー発生ログが重要
- **ソフトエラー(一過性の故障)**
 - 中性子や α 線のヒットなどで発生
 - エラーの発生状況はランダムで, 再現性が全く無い
 - ◆ ランダムな1回の発生を検出し, 対応することが重要

45nm世代のマイクロプロセッサ



● ゲート絶縁膜

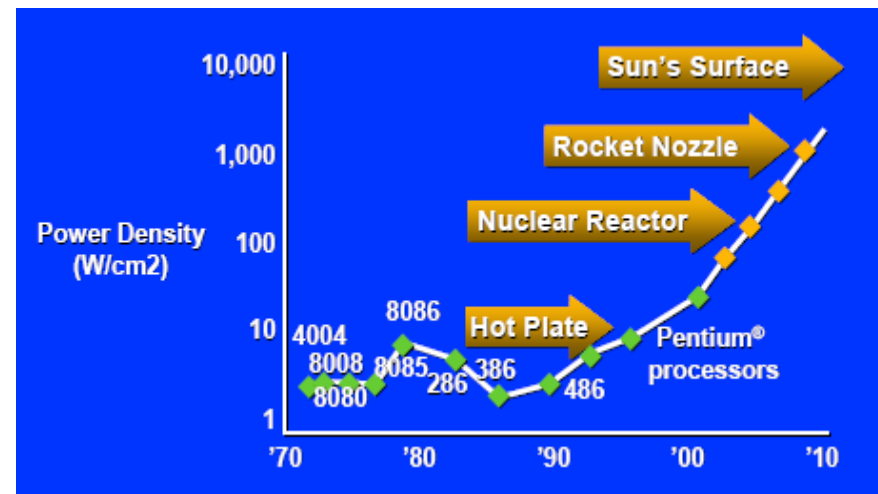
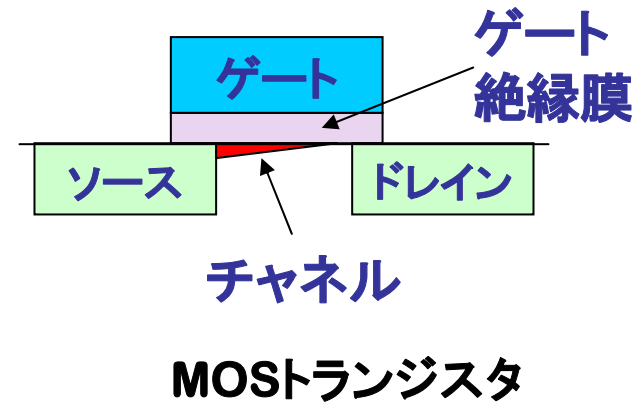
- SiO_2 換算: 1.3nm, 膜厚: 1.7nm程度
- $1\text{V}/1.7\text{e-}6 = 6\text{e}+5 = 60\text{万V/mm}$

● 配線

- 幅 70nm, 厚み: 140nm
- ドレイン電流: 0.4mA
- $0.4\text{e-}3/1.0\text{e-}10 = 4\text{e}+6 = 400\text{万A/cm}^2$
- 銅配線の電流限界
 - ◆ DC: 100万A/cm²
 - ◆ AC: 1000万A/cm²

● プロセッサチップ

- 17mm x 17mm
- 200~400億トランジスタ
- 総信号配線長: ~6Km
- 消費電力: 100W, 30W/cm²
- 電源電流: 100A



マイクロプロセッサの消費電力密度
P. Gelsinger, ISSCC2001 [3]

微細化に伴うばらつきの増加



● ランダムばらつき

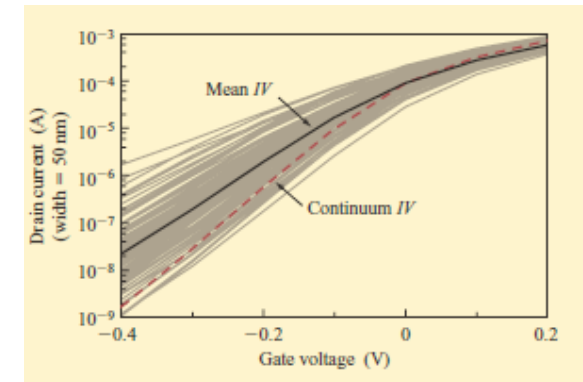
- N, P型不純物原子数の確率的ゆらぎ
- Line Edge Roughness (LER)
 - ◆ 光の粒子による露光の影響
 - ✓ 露光エネルギー一定とすると, 微細化(短λ)により粒子数減少
 - ◆ ゲート電極の幅のばらつきが増大

⇒ V_t のばらつき増大

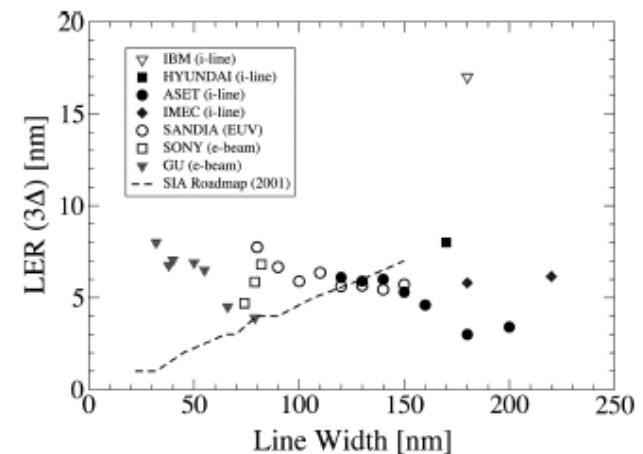
● その他のばらつき

- 材料組成のばらつき
- 製造装置によるばらつき
- パターンの形状, 粗密などに依存するばらつき

⇒ 歩留りの低下, 回路の動作マージン低下によるエラーが増加



$L_{eff}=11\text{nm}$ Transistorの V_g - I_d ばらつき
D.Frank, *IBM J. R&D*,
VOL. 46, NO. 2/3, 2002^[6]



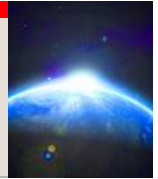
LERの推移

Asen Asenov, *IEEE TED*,
VOL. 50, NO. 5, MAY 2003^[7]

FUJITSU

THE POSSIBILITIES ARE INFINITE

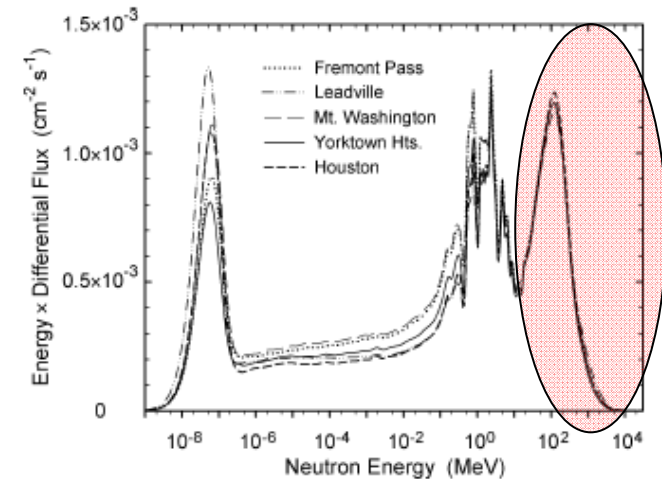
微細化によるソフトエラーの増加



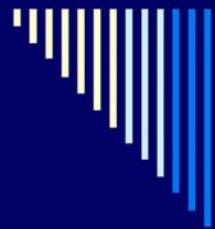
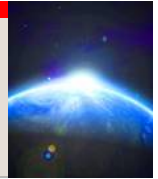
- 中性子ヒットに対する微細化の影響
 - ラッチやSRAMセル 1bitあたりのエラー率は概ね一定
 - ◆ 記憶ノードの寄生容量の減少 → Q_{crit} の減少 → より低エネルギー粒子で反転
 - ◆ サイズが小さくなり, 衝突頻度が減少
 - チップあたりのエラー率はビット数比例で増加

- その他の雑音起因のソフトエラー

- チップ外部からの電波, ESD, 電源ノイズなど
- チップ内部の電源ノイズ, クロストーク, チップ内温度ばらつきなど



宇宙線中性子のエネルギー分布
Gordon, M.S. et al.; IEEE TNS
Vol 51, Issue 6, Part 2, Dec. 2004 [8]



SELSE II Reverie

- Soft error is a concern (we are all here)
- Multi-bit errors can not be ignored
- Latch sensitivities are approaching SRAM
 - 0.001 FIT/flip flop is representative of a sensitive flip flop design in bulk technology
 - 0.5 fC to upset the most aggressive latches (alphas can produce this at 30nm range)
- SOI is 4 to 8 X improvement over bulk (some projections are more pessimistic 2 – 3X, see Sept 2005TDMR)
- We observe the trend to control alpha emissions so alpha contribution is low compared to cosmic
 - Some companies set the bar at 0.0002 alphas/cm²/hr
- Is important to consider protecting all SRAM arrays and register files
- At the system level, we heard the lesson to “set your targets”: not just uncorrectable errors but SDC

微細化の影響のまとめ

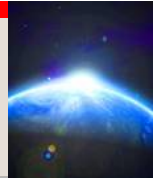


- **素子ストレスの増加**
 - 素子特性変化, 故障の増加
- **素子ばらつきの増加**
 - 回路動作マージンの減少
 - V_t 減少に伴うOffリーク電流の増加
- **素子数の増加**
 - 1Bトランジスタのチップでは, 3σ 以上ばらついた素子が100万個含まれる → 正常に動作しない回路, 低動作マージンの回路の増加
 - 素子数に比例してランダムなソフトエラーが増加

⇒回路, アーキテクチャによるディペンダブル設計が必須



- サーバのディペンダビリティ
 - 半導体の微細化とその影響
- **ディペンダブルなサーバの設計**
 - **富士通のPRIMEQUESTサーバ**
- ディペンダブルなCPUの設計
 - 富士通のSPARC64プロセッサ
 - 加速ソフトウェア実験
 - IBMのPOWER6, IntelのTukwila
- まとめ



●IntelのItaniumプロセッサを使う基幹サーバ

■ 高性能, 高スケーラビリティ

- ◆ CPU:32ソケット, 64コア Symmetric Multi-Processorシステム
- ◆ 内蔵ディスク:32台
- ◆ I/O:PCIe 32スロット, PCI-X 128スロット, SCSI 16port
- ◆ LAN:GbE 64port, 10GbE 4port

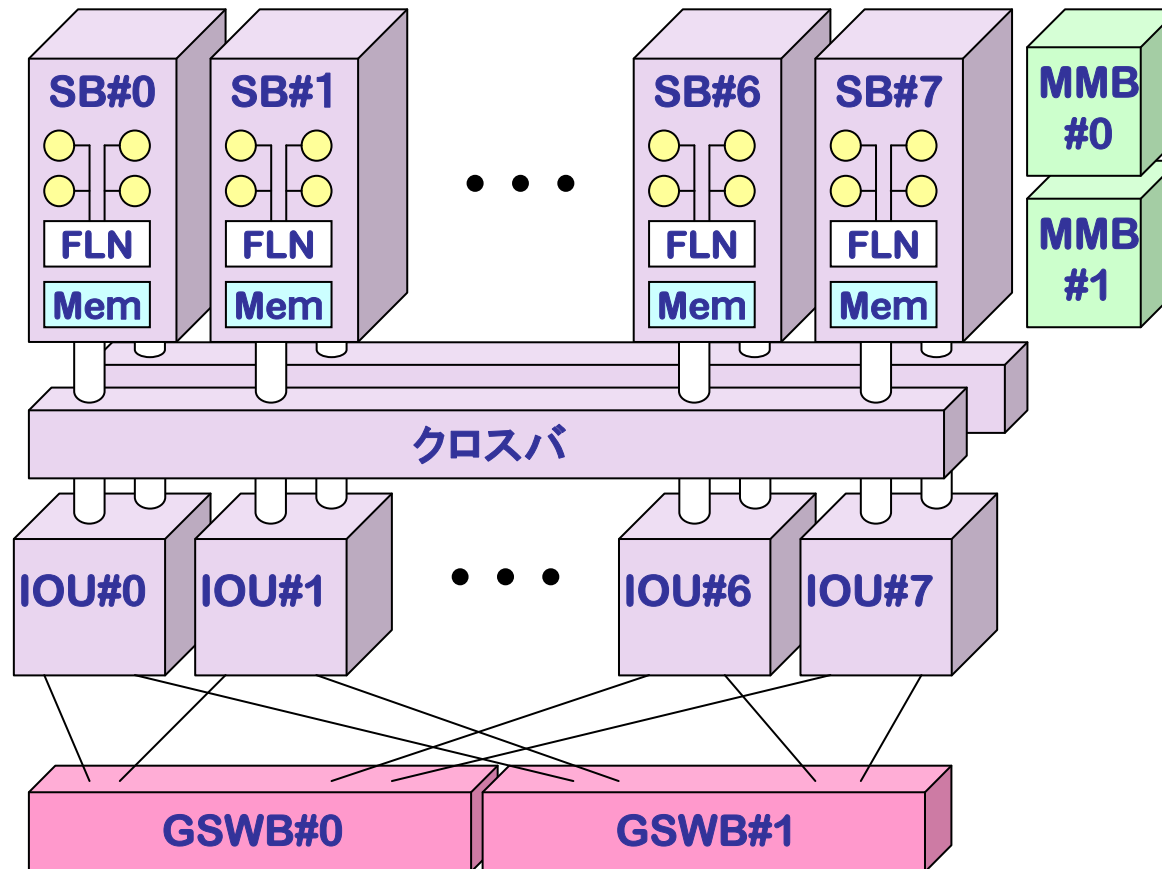
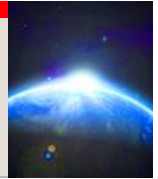
■ 高信頼性, 高可用性の追求

- ◆ システムミラー機構(二重化比較)
- ◆ 冗長構成と活性保守

■ 運用管理性の改善

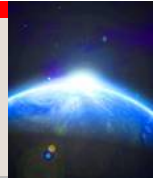
- ◆ パーティション機構
- ◆ フレキシブルIO機構
- ◆ 専用サーバ管理機構

PRIMEQUESTのブロック図



- SB: システムボード(CPU 4ソケット+64GB Mem)
- IOU: IOユニット(PCIex16+GbEx4+SCSIx2)
- FLN: ノースブリッジ
- MMB: サーバ管理専用ユニット
- GSWB: GbEスイッチ

PRIMEQUESTのディペンダブル機構

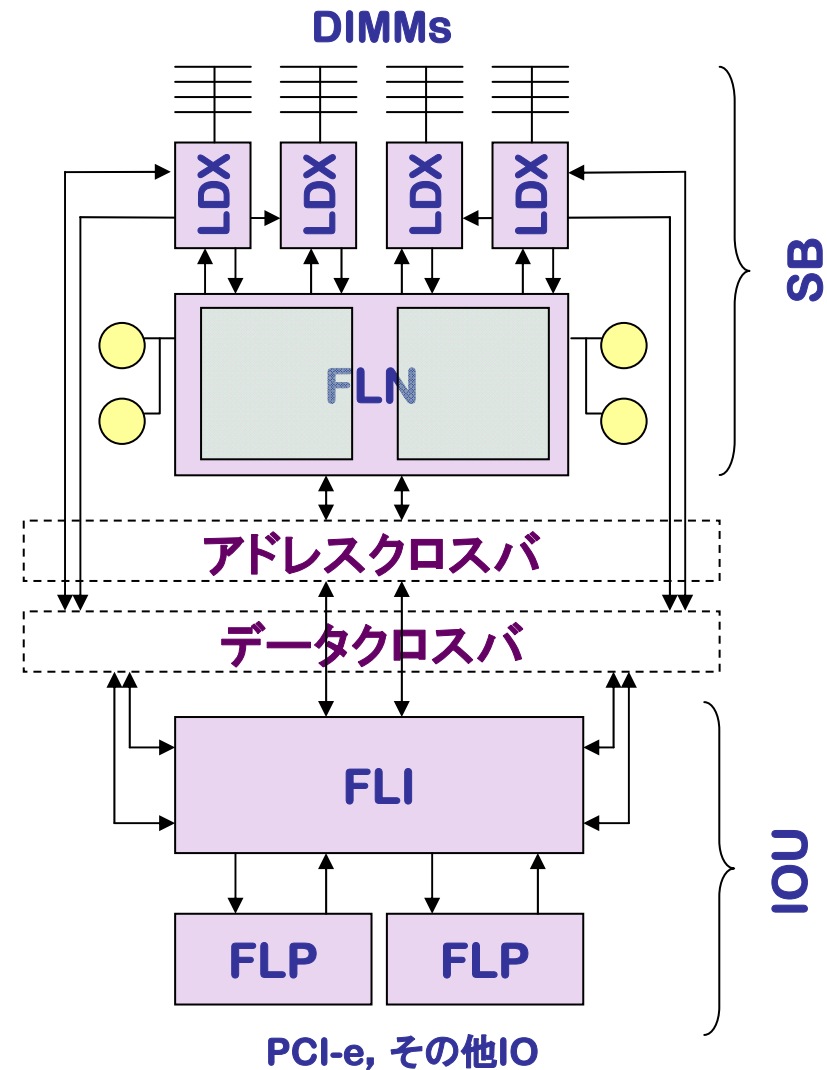


●チップ内エラー検出, 訂正

- SRAM, バッファetc:ECC
- FLN内部ロジックの二重化
- 共通制御系:重要度に応じて, 3重化, 2重化, パリティチェック

●アドレスバス, データバスのエラー訂正

- S4EC-S4/8EDエラー訂正コードの採用

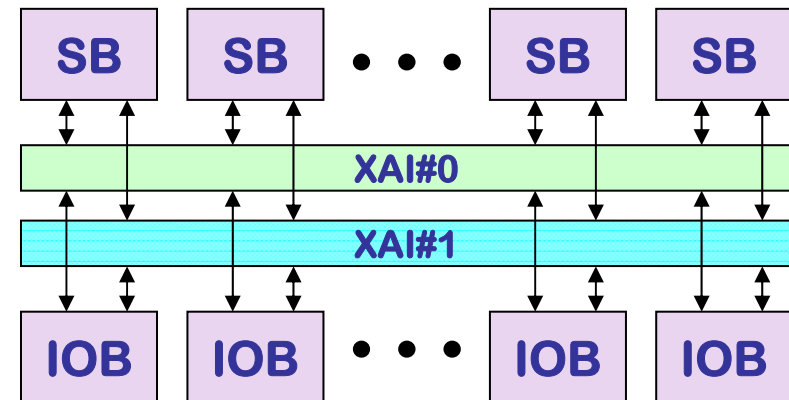


アドレスミラー構成

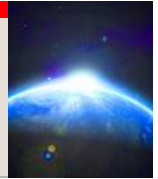


●アドレスクロスバの二重化

- #0, #1に同一アドレス
- 両系の一致チェック
- 不一致の場合は, ECCエラーの無い方を利用



システムミラー構成

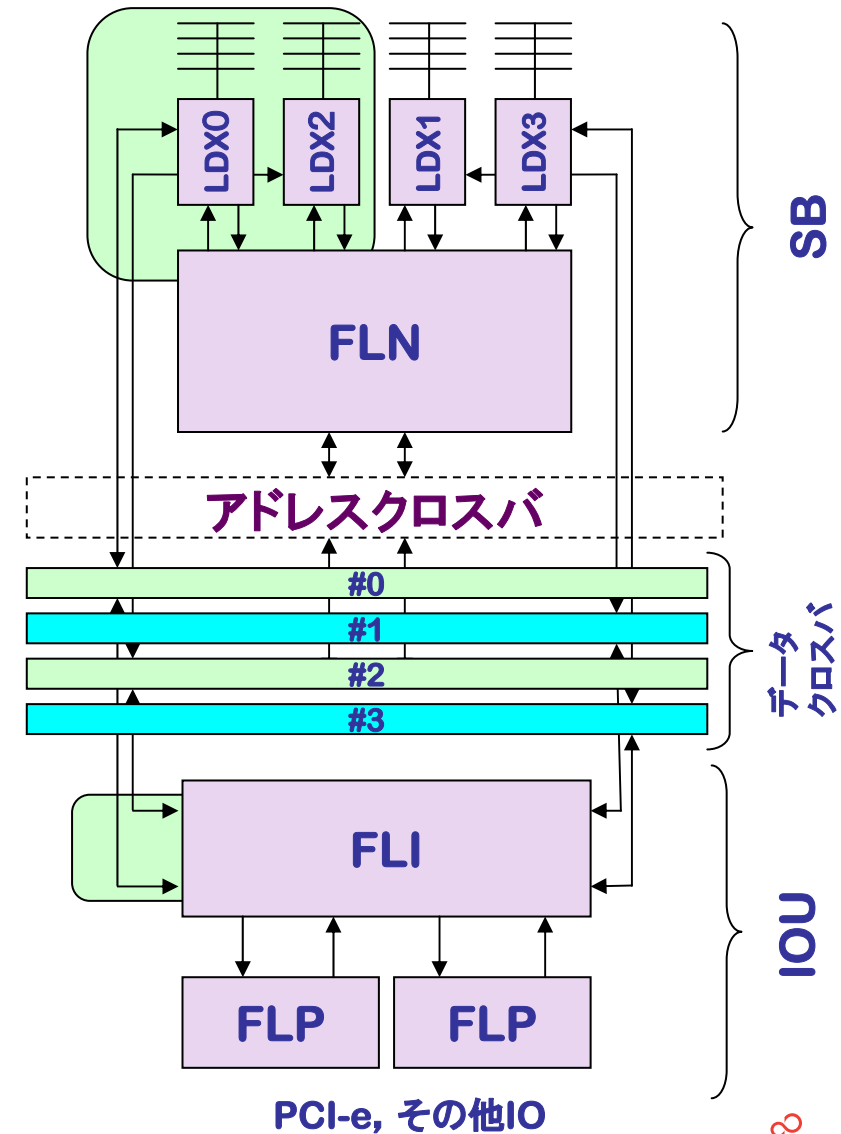


●データクロスバの二重化

- #0,#2と#1,#3の組に同一データ
- 両系の一致チェック
- 不一致の場合はECCエラーの無い方を利用

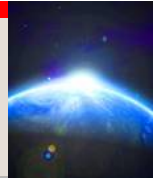
●メモリミラー

- LDX0, LDX2とLDX1, LDX3に接続されたDIMMに同一データの書き込み
- 読み出しデータの一致チェック
- 不一致の場合はECCエラーの無い方を利用





- サーバのディペンダビリティ
 - 半導体の微細化とその影響
- ディペンダブルなサーバの設計
 - 富士通のPRIMEQUESTサーバ
- **ディペンダブルなCPUの設計**
 - **富士通のSPARC64プロセッサ**
 - **加速ソフトウェア実験**
 - **IBMのPOWER6, IntelのTukwila**
- まとめ



●富士通PRIMEPOWERサーバ

- 自社開発のSPARC64 CPU

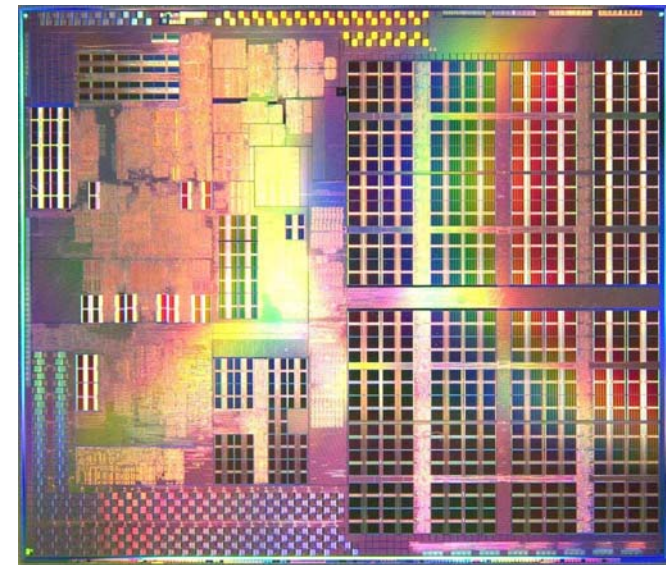
●SPARC64の耐エラー性アプローチ

- SRAM, レジスタ, データパスの1ビットエラーを検出(パリティチェックなど)
- ECCによるエラー回復(SRAM, 整数レジスタファイル)
- リトライによるエラー回復
- エラー発生頻度の高いキャッシュバンク, プロセッサコアの切り離し, 縮退運転
 - ◆ OSによるDirty dataの追い出しなどが必要

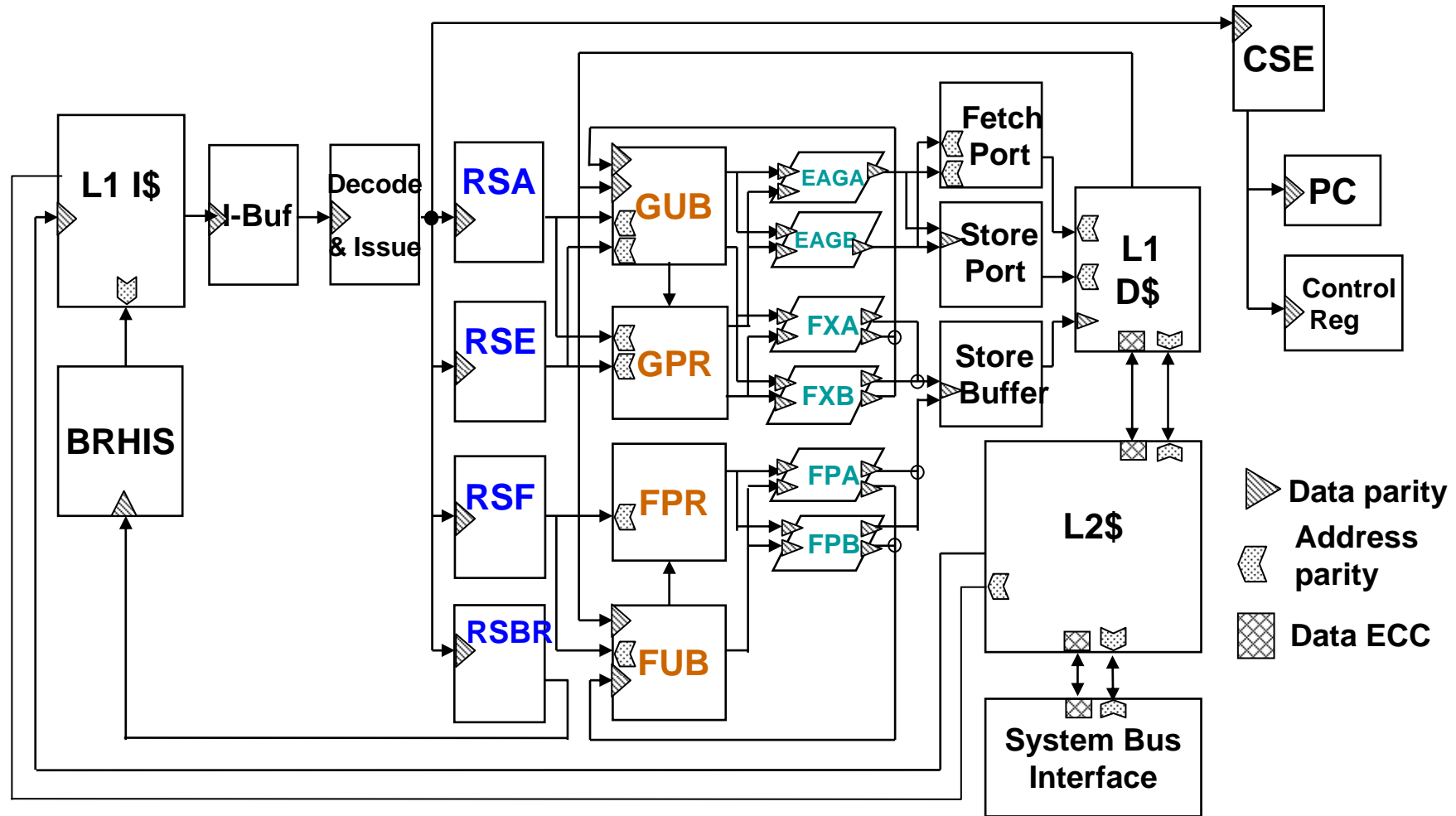
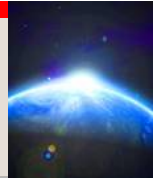


- **基幹サーバ用マイクロプロセッサ**
 - 高信頼, 高いデータインテグリティー
 - SPARC64 V(90nm:2005年), VI(2007年), VII(2008年)

- **後述の実験に使用した
90nm SPARC64 Vチップ諸元**
 - 90nm Bulk CMOS, 10層Cu配線
 - 18.46mm x 15.94mm
 - ~1.0V Vdd, 2.16GHz Clock
 - ~240K Latches (&FFs)
 - L1\$: 128KB+128KB
 - L2\$: 4MB



SPARC64 V ブロックダイアグラム



Instruction Unit

Reservation Stations

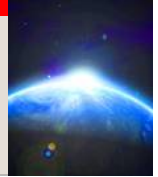
Reg Files

Execution Units

Load/Store Unit/L2\$

-  Data parity
-  Address parity
-  Data ECC

エラー検出と回復手段



	エラー検出・回復機構	エラー回復動作
L1I\$ Data	バイトパリティ	エントリ無効化とミス処理
TLB	パリティ	
BRHIS	パリティ	分岐予測失敗と回復動作
L1I\$ & L1D\$ Tag	パリティ +二重化	L2\$タグへの問い合わせとタグデータ転送
L1D\$ Data	SECDED	ハードウェアECC
L2\$ Data & Tag	SECDED	
レジスタ	バイトパリティ	命令リトライ
ALU, シフト, VIS	バイトパリティ予測	
乗算器	レジューチェック +バイトパリティ予測	



●背景

- 自然界の中性子では、統計的に有意なエラー数を得るには必要な「時間」や「CPU数」が膨大であり、エラー検出、回復機構の有効性が実証されていない。

●目的

- 強力な中性子ビームを用いてエラー発生頻度を加速し、エラー検出、回復機構の効果を確認する。

●実験

- 使用施設: 大阪大学核物理研究センターの中性子ビーム施設
- 対象CPU: 90nm SPARC64 V

ラッチのエラー検出, 回復率の見積もり

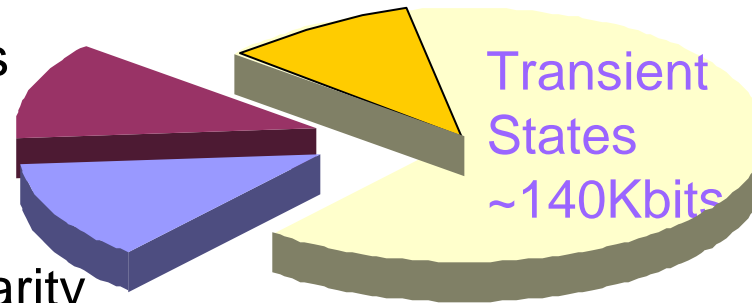


総ラッチ数240Kbits

Test cct
~30Kbits

Arch. States
~40Kbits

No Parity
~30Kbits



Parity Protected
~180Kbits

Transient
States
~140Kbits

● 命令実行に関係するラッチ 210Kbits

■ パリティーチェック付: 180Kbits

◆ エラー検出確率 $\sim 180K/210K = 86\%$

■ 命令リトライで回復可能なラッチ 140K bits

◆ エラー回復確率 $\sim 140K/210K = 67\%$

大阪大学の中性子ビーム施設

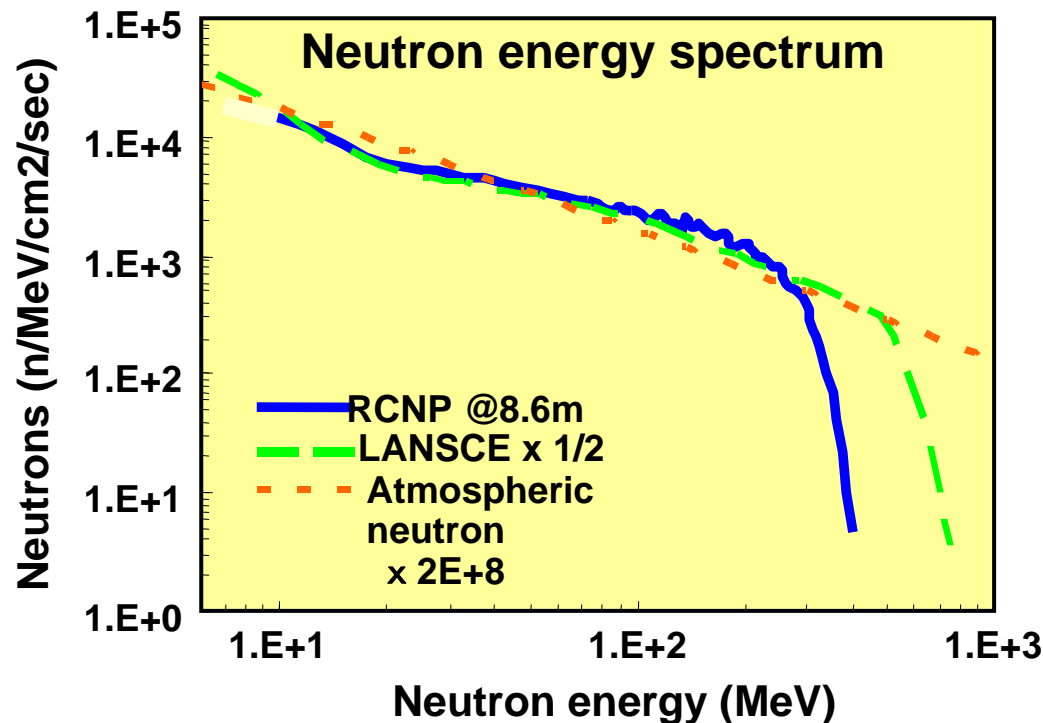


● 阪大RCNP (Research Center for Nuclear Physics)

■ 400MeV リングサイクロトロン

◆ 陽子ビームをターゲットに当てて中性子を発生

■ 宇宙線起因の地表の中性子強度の2億倍のビームを発生



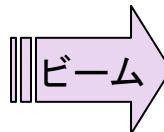
Y.Tosaka et.al.,
“Comprehensive Study of Soft Errors
in Advanced CMOS Circuits
with 90/130 nm Technology”,
IEDM2004

加速試験のセットアップ



白色中性子
ビーム射出孔

他の
実験対象



PRIMEPOWER 650サーバ

PW650サーバ内の
CPUモジュール



FUJITSU

THE POSSIBILITIES ARE INFINITE

SRAMスタティックテスト



● L2\$ SRAMテスト

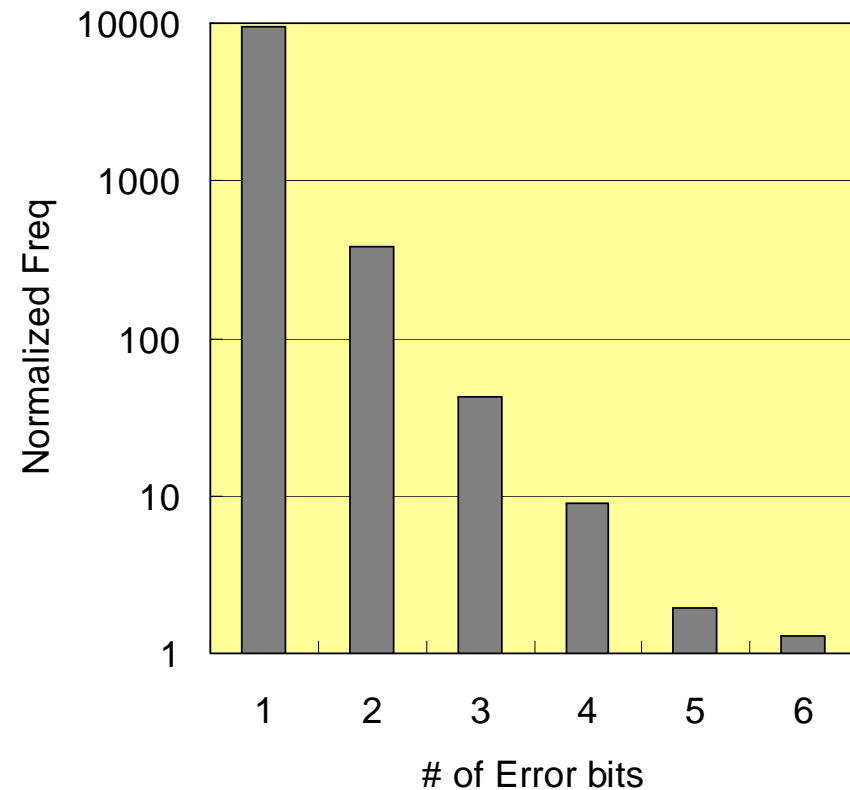
- 32Mbit
- 初期化後, 中性子ビームを照射
- 5分後に内容を読み出し

● テスト結果

- 2ビットエラーの頻度は1ビットエラーの $\sim 1/30$
- 1個の中性子ヒットで最大6ビットエラーを観測
- 平均: 1.05bit/hit

● ECC訂正不能エラー

- マルチヒットにより発生
 - ◆ エラービット位置から
- 加速率2乗で発生
 - ◆ 自然界での発生率は無視できる



Single Neutron Hit
SRAM Errors



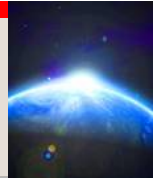
●6種のテストプログラムを走行

- SVOP: 自社開発のハードウェアテストプログラム, OS無しで走る
- LINPACK: 連立一次方程式を解く, HPCのベンチマーク
- gcc: SPECint2000から, GNUのCコンパイラ
- bzip2: SPECint2000から, ファイル圧縮プログラム
- galgel: SPECfp2000から, 流体計算プログラム
- sixtrack: SPECfp2000から, 加速器の設計プログラム

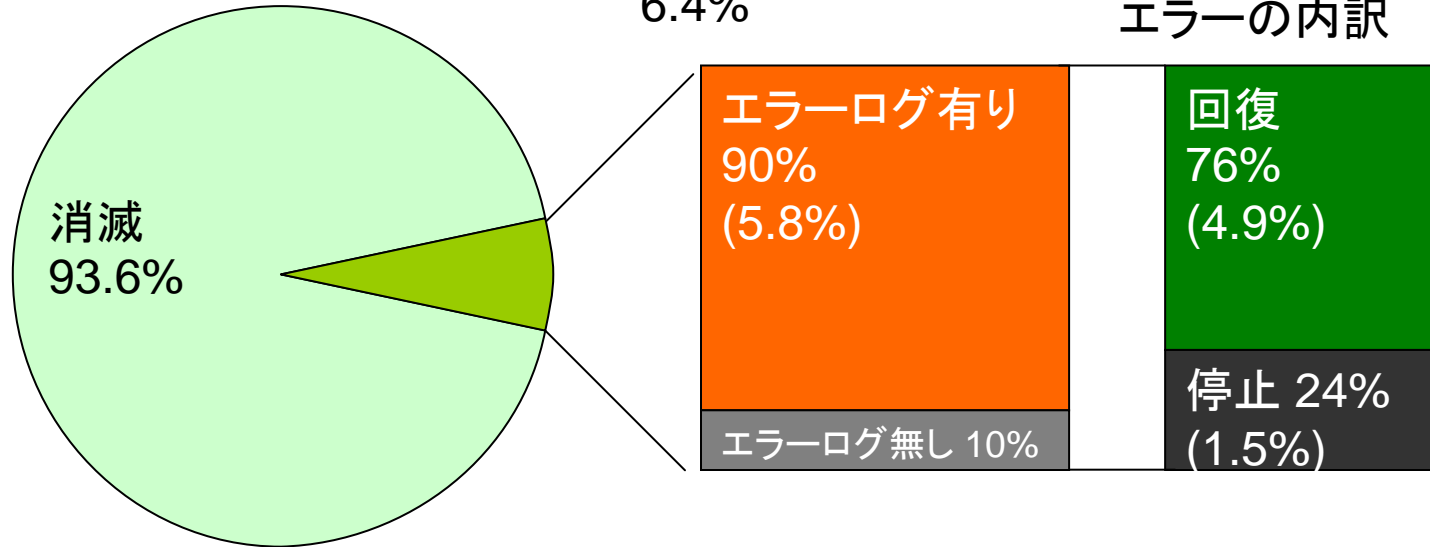
●エラー検出

- これらのプログラムは, 全て, 結果の自己チェックを行い, 実行エラーを検出

ロジック部のエラー



予想される
全ラッチエラー

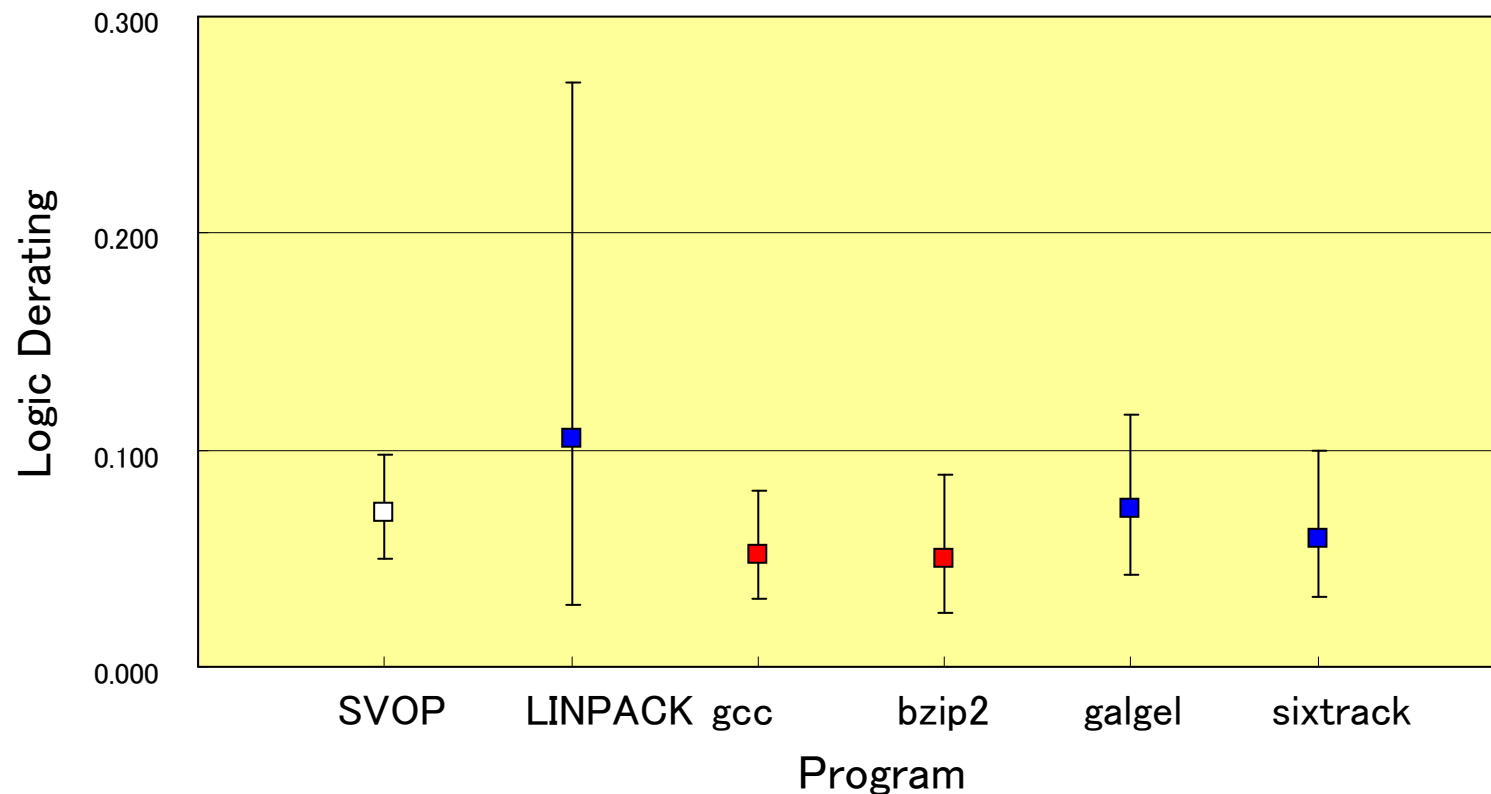


- 予想されたラッチエラーの93.6%が消滅
- 観測されたエラーの内、90%が検出された(見積もりは86%)
- 観測されたエラーの内、76%が回復に成功(見積もりは67%)
- 予想されたラッチエラーの内、1.5%だけが実行停止となった
 - 但し、galgel実行中、1回のデータ化けエラーを含む

テストプログラム毎の観測されたエラー数



- 観測されたエラー(Logic Derating) は4%~11%
 - 但し、パリティチェッカは、プログラムの結果には影響しないエラーも検出している可能性がある
 - 浮動小数点演算プログラム(■) は整数演算プログラム(■)より高めにエラーを観測





●IBM POWER6の耐エラー性アプローチ

- ロードストアユニットから外側はECCによりエラー回復
- 命令フェッチ, 実行部はコミット状態をRecovery Unitに保存し,
 - パリティチェックなどでエラーを検出
 - エラーを検出すると, Recovery Unitからのエラー以前の状態を取り出してリトライ
 - 回復しない場合は, Recovery Unitの状態をスペアのプロセッサコアに移してリトライが可能(ハイパーバイザーアシストが必要)

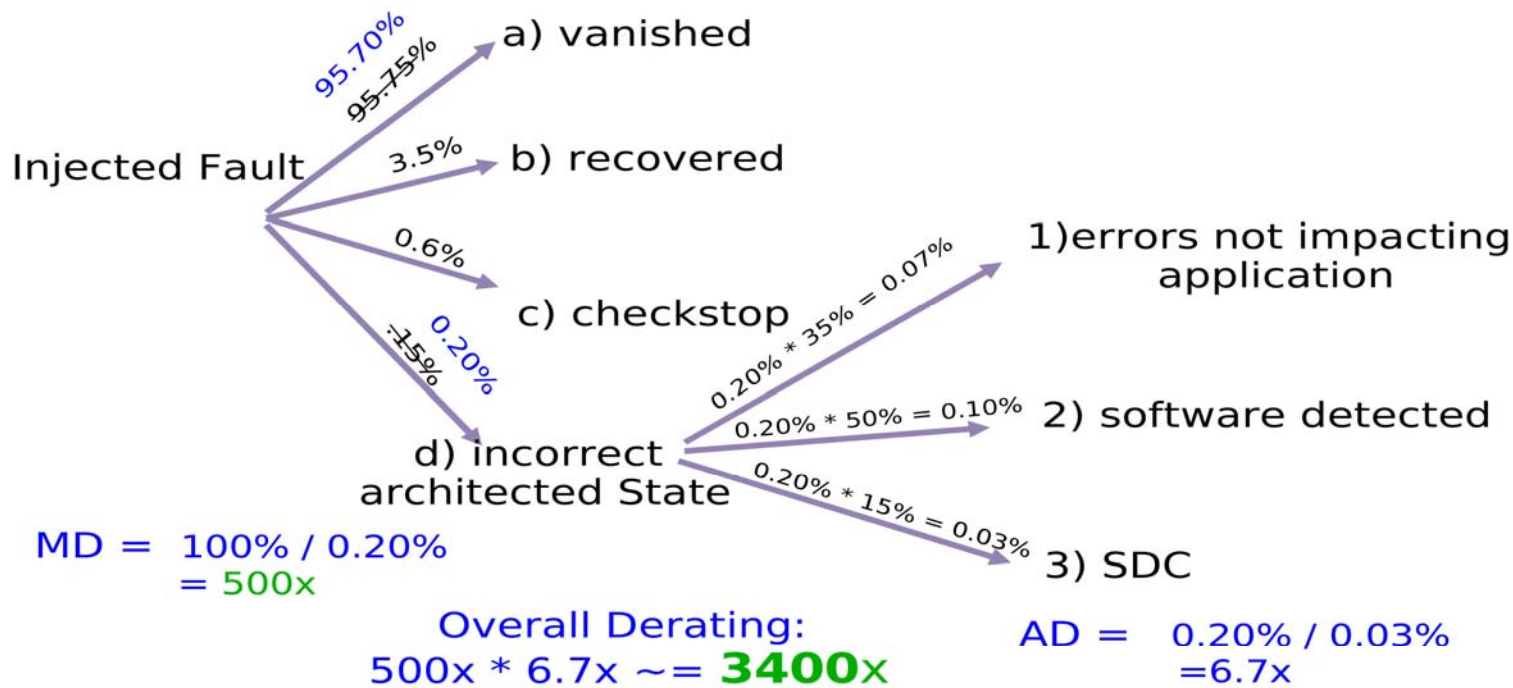
POWER6のLogic Derating (SELSEⅢ 2007)



Overall Derating of BZIP2 running on a POWER6™ Processor

Machine Derating

Application Derating



ディペンダブルCPUの設計 (Intel Tukwila)



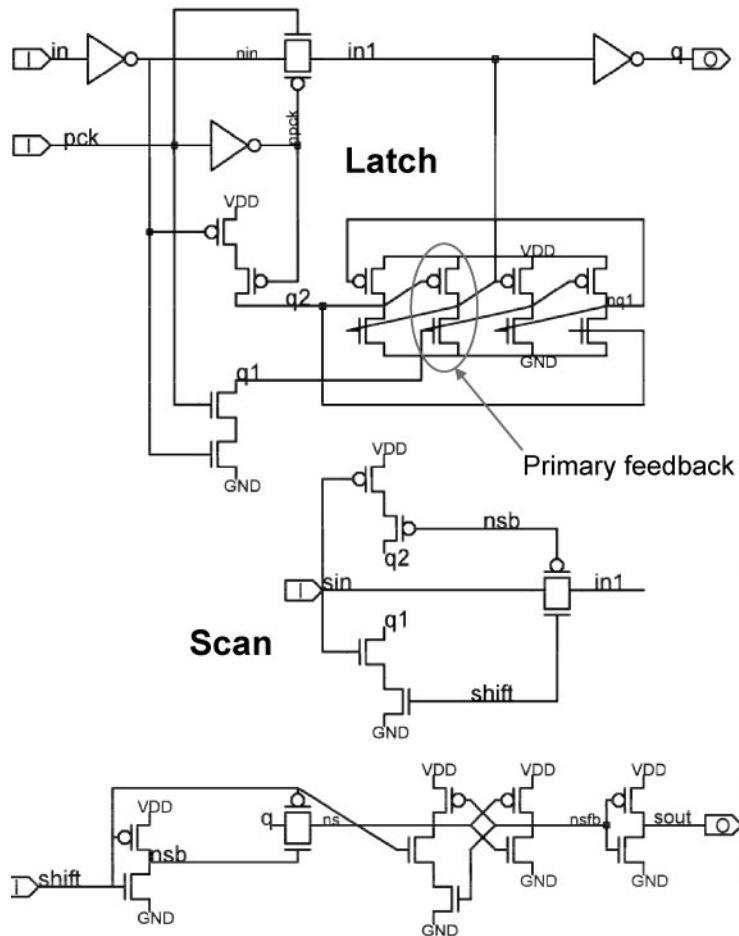
●IntelのTukwila

- 4コアの次世代Itanium CPU
- プロセッサコアは、現世代からマイナーチェンジ
- メモリやCPU間インタフェース部は新設計
 - ◆ メモリインタフェースをCPUチップに内蔵
 - ◆ CPUチップ間の接続をQuick Path Interconnect(QPI)に変更

●Tukwilaの耐エラー性のアプローチ

- プロセッサコアは、従来のECC, パリティチェックを強化
 - ◆ 従来のキャッシュSRAMに加えて、汎用レジスタファイルにもECCを付加
- 新規設計部分は、中性子エラー耐性の高いDICEラッチの採用でソフトエラー率を低減
- QPI, FB-DIMMインタフェースはスペアレーンを持ち、固定故障の場合は、切り替えて救済

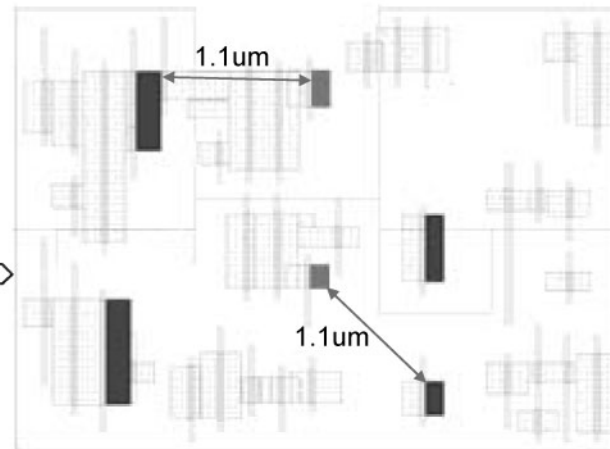
Intel DICEラッチ (ISSCC2008)

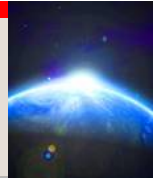


parameter	% of unprotected
area	134%
pck load	136%
flowthru (in to q)	98%
pck→out (pck rise to q)	96%
setup (in before pck fall)	106%
SER FIT	100x better
Standby power	127%
Active power	125%

ソフトウェア率
1/100

面積 1.34倍
電力 1.25倍





- 微細化に伴い、素子や回路レベルのディペンダビリティが低下
- 回路, アーキテクチャにより, ディペンダビリティを改善する努力が必須
 - 回路
 - ◆ DICEなどの低SERラッチの採用
 - ◆ シングルヒット-マルチビットエラーの対策
 - マイクロアーキテクチャ
 - ◆ ECC適用を, 小容量のSRAMやレジスタファイルに拡大
 - ◆ パリティ等によるロジックエラーの検出
 - ◆ リトライによるロジックエラーからの回復
 - ◆ 固定故障を修復するスペアの組み込み
 - ◆ 二重化と縮退運転など
 - 高信頼を要求される基幹サーバやプロセッサでは既に採用
 - 微細化の進展により, 適用製品の拡大, 対策の高度化