



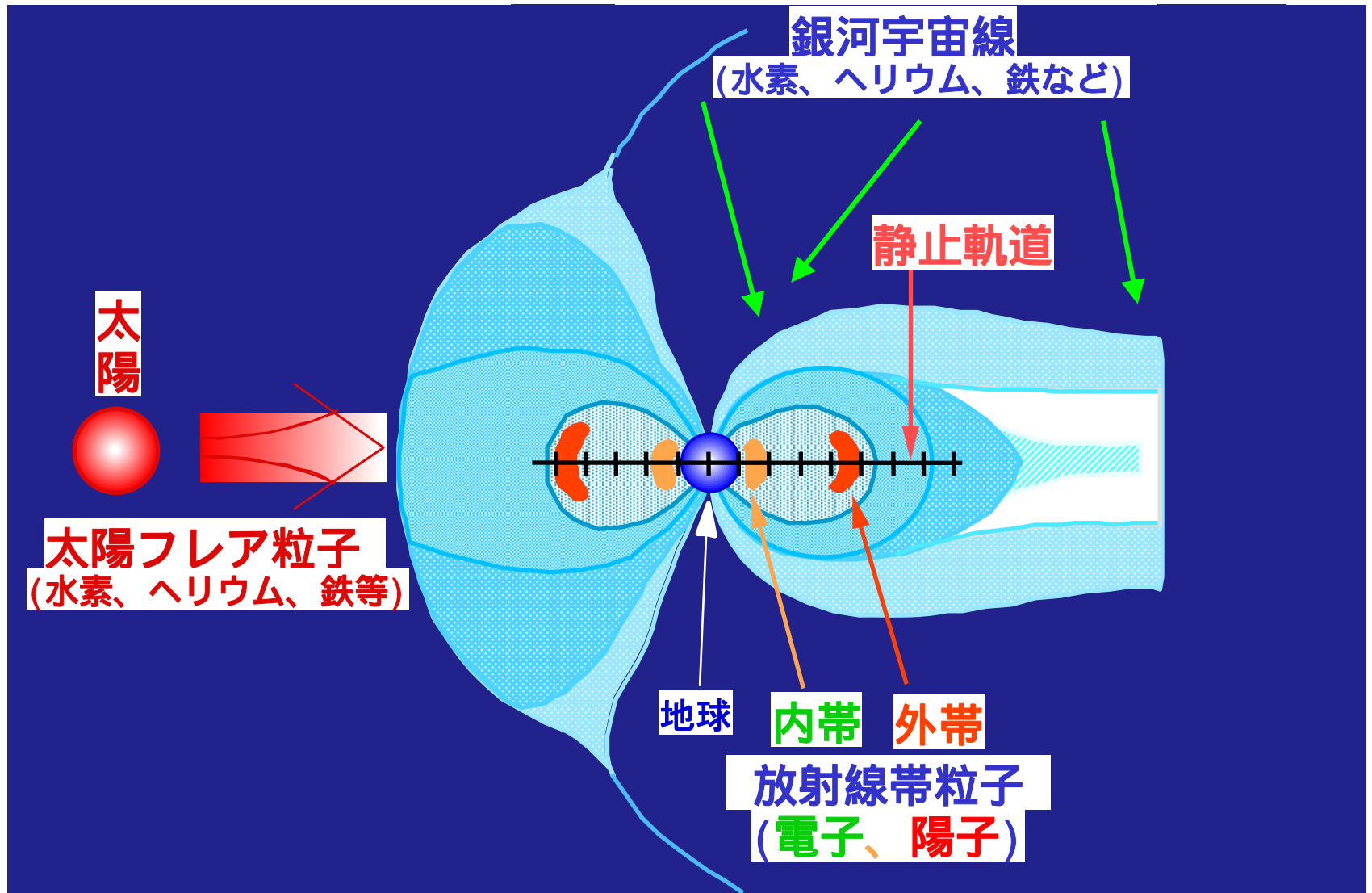
# 宇宙機システム用マイクロプロセッサに おけるディペンダビリティについて

宇宙航空研究開発機構 研究開発本部  
電子部品・デバイスグループ  
久保山智司



- 人工衛星等の宇宙機システムは、基本的に修理不可能なシステムであり、高信頼性が求められる代表的なシステムである。
- LSIの微細化によって宇宙放射線による誤動作や損傷効果が顕著となり、通常の意味での信頼性に加えて、こういった環境条件下での動作保証も要求されるようになってきた。
- さらなる微細化によって、地上でも放射線による影響が見られるようになり、宇宙特有の問題ではなくなってきた。

# 宇宙空間の放射線環境



# 放射線による障害の分類



分類		メカニズム	障害の形態	微細化との関係
バルク損傷		結晶欠陥の生成	劣化	影響増大
電離損傷		固定電荷/界面準位の生成	劣化	影響減少/変動なし
シングルイベント	ラッチアップ (SEL: Single-Event Latchup)	寄生素子の活性化による機能喪失	永久損傷	影響減少
	アップセット (SEL: Single-Event Upset)	発生電荷による記憶情報の反転	誤動作	影響増大
	トランジェント (SET: Single-Event Transient)	発生電荷による誤動作	誤動作	影響増大

放射線粒子との衝突によって原子が結晶の格子点からはじき出されて欠陥が生じることによる損傷

原因となる放射線:

電子、陽子、イオン

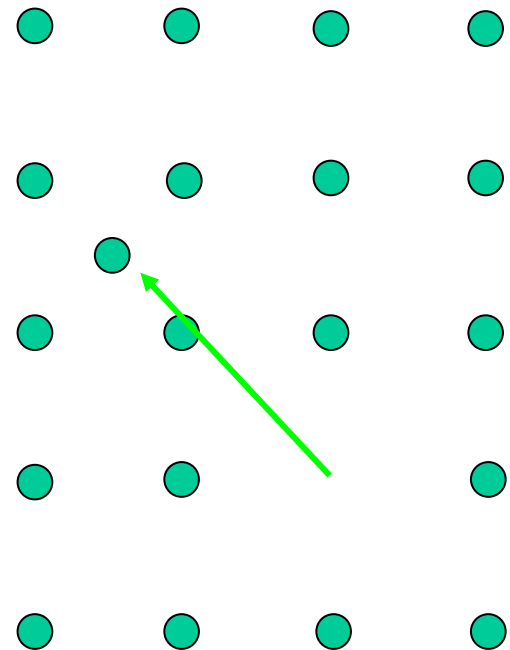
影響を受ける素子:

太陽電池(電子、陽子)

LED(電子、陽子)

CCD(陽子、重イオン)

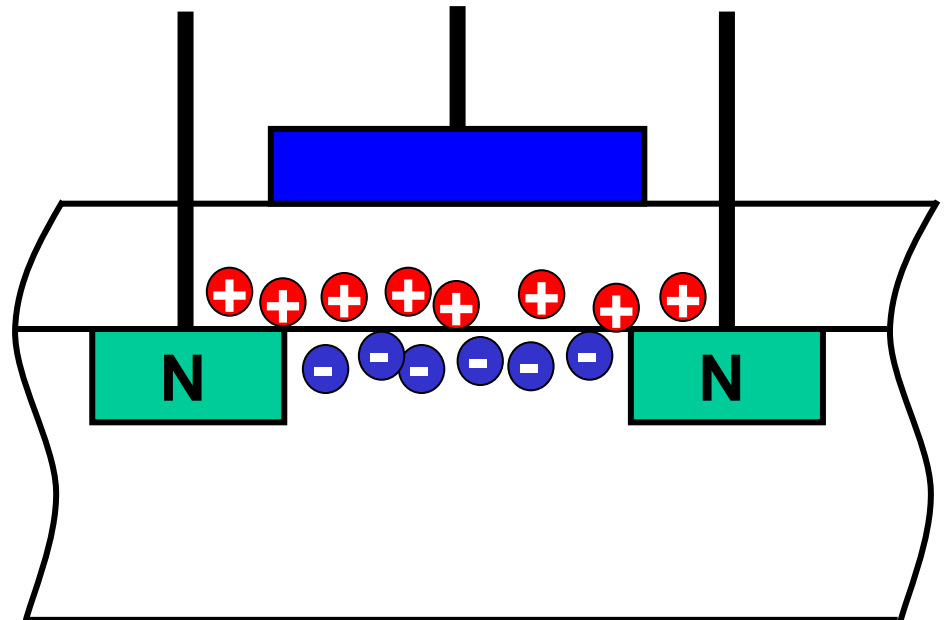
ダイナミックメモリ(陽子、重イオン)



放射線によって電離された正孔が酸化膜中の欠陥に捕獲されて、電気的特性を変化させる現象

原因となる放射線:  
電子、陽子

影響を受ける素子:  
トランジスタ  
集積回路



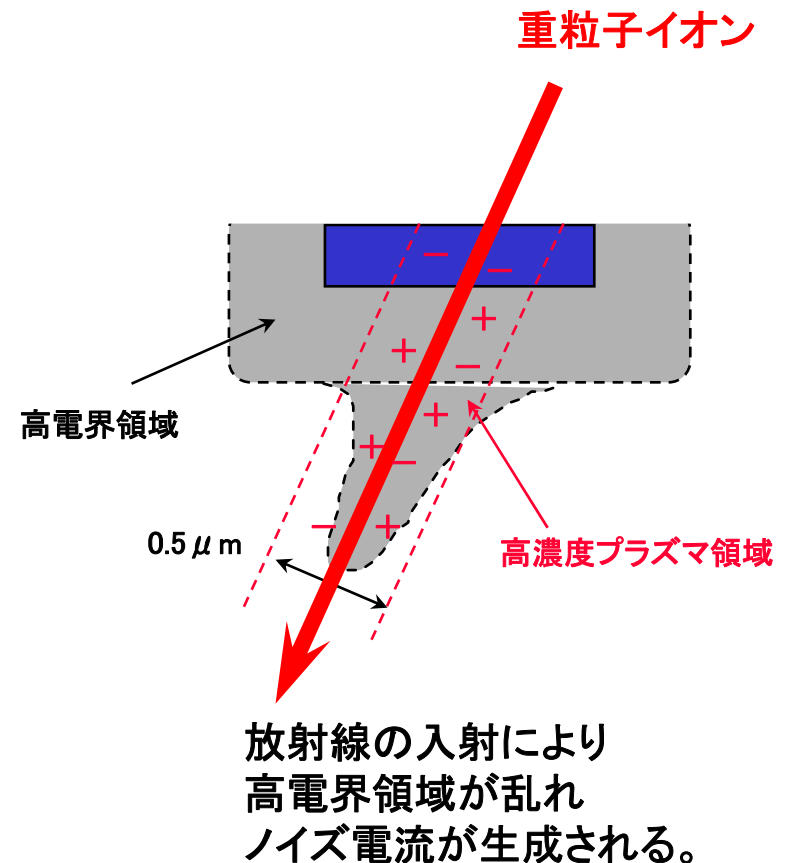
# 1975～ シングルイベント現象



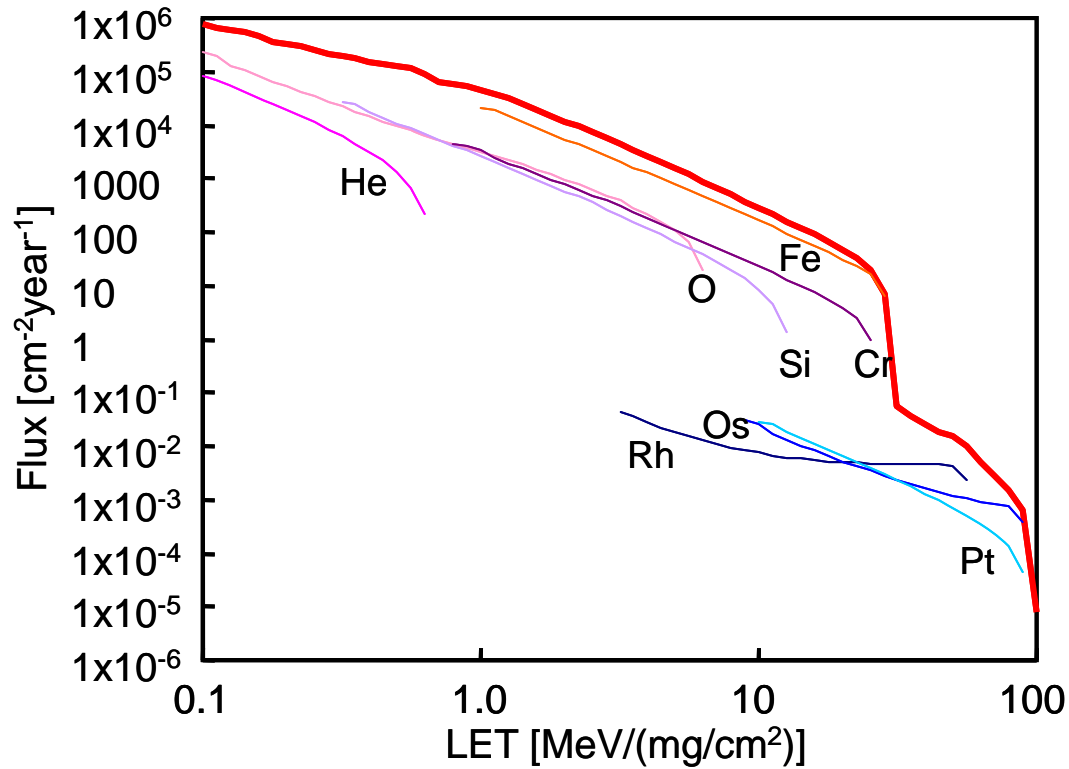
重イオンの飛跡に沿って生成される高濃度のプラズマ  
によって高電界領域にノイズ電流が生じ、さまざまな障  
害を引起こす現象

原因となる放射線:  
陽子、重イオン

影響を受ける素子:  
メモリ(データの反転、SEU)  
CMOS集積回路(SEL)  
パワーMOSFET(SEB)

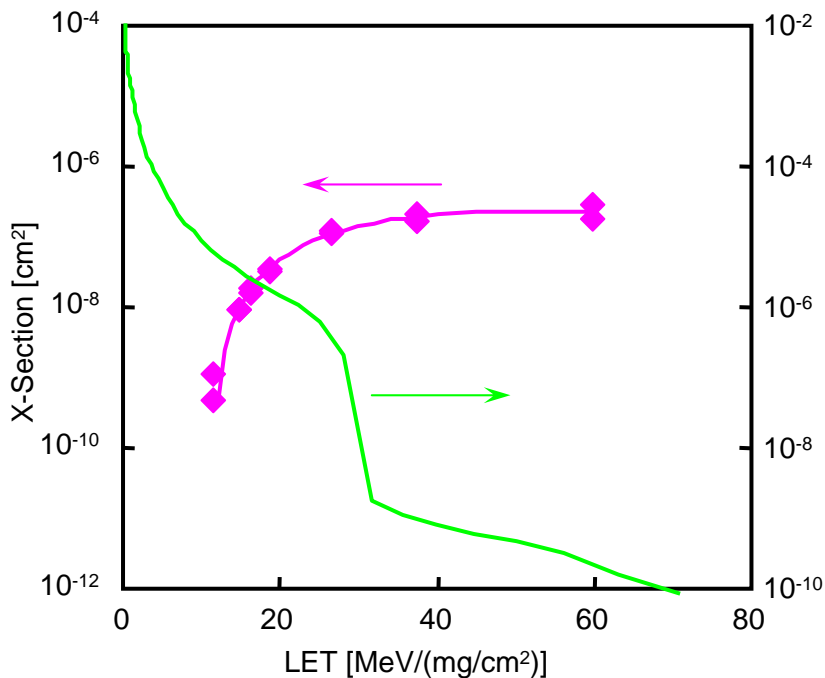


# 銀河宇宙線のLETスペクトラム

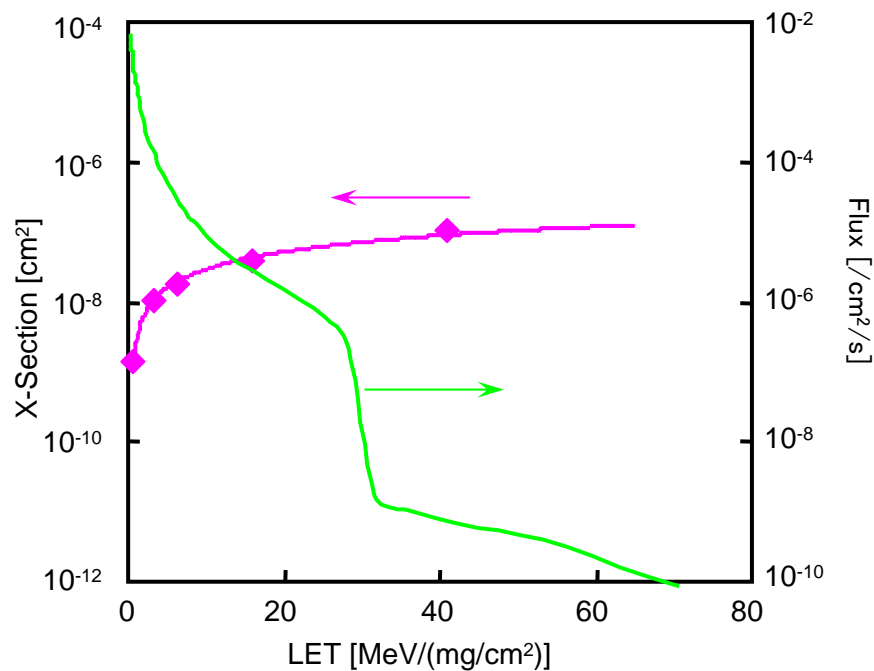




# プロセスの微細化とSEU



0.35μ m技術で製造したSRAM回路のSEU発生断面積



0.18μ m技術で製造したSRAM回路のSEU発生断面積

❖ 0.18μm以下の世代では何らかの対策を施さない限り、実用的なレベルのSEU耐性は期待できなくなる場合が多い。

# 宇宙用MPUの開発アプローチ



'70年代: 4ビットスライス、バイポーラ、H-Iロケット他  
民生品ベース、電離損傷についてのみケア

'80年代: 8/16ビット、2 $\mu$ m-4/10k-CMOSゲートアレイ、ETS-VI他  
電離損傷対策を施した専用ゲートアレイで実現することにより、  
SEL/SEU耐性をクリア

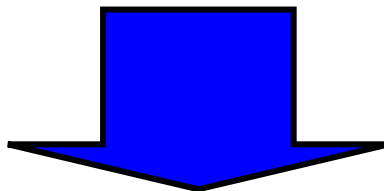
'90年代: 32ビット、CMOS、ETS-VII他  
民生品ベース、プロセスの調整により電離損傷対策を施し、SELはケ  
アしたもののSEU対策はなし

'95年代: 64ビット、350nm-1M CMOSゲートアレイ、ETS-VIII/ALOS他  
電離損傷対策を施した専用ゲートアレイで実現することにより、  
SEL/SEU耐性を何とかクリア

'00年代: 64ビット、180nm-1M CMOSスタンダードセル、GCOM他  
もはや小手先の対策は不可。専用の耐放射線性セルから開発。設計  
ツールのオープン化、ファンダリビジネスの台頭が後押し。



- 微細化によって放射線に関する感受性がどんどん大きくなる
- 微細化したプロセスは極めて複雑であり、宇宙用専用として変更することは事実上不可能

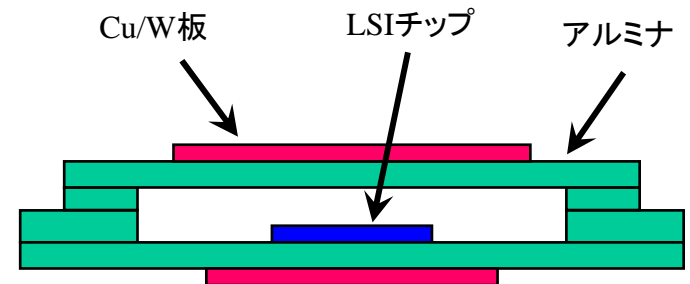
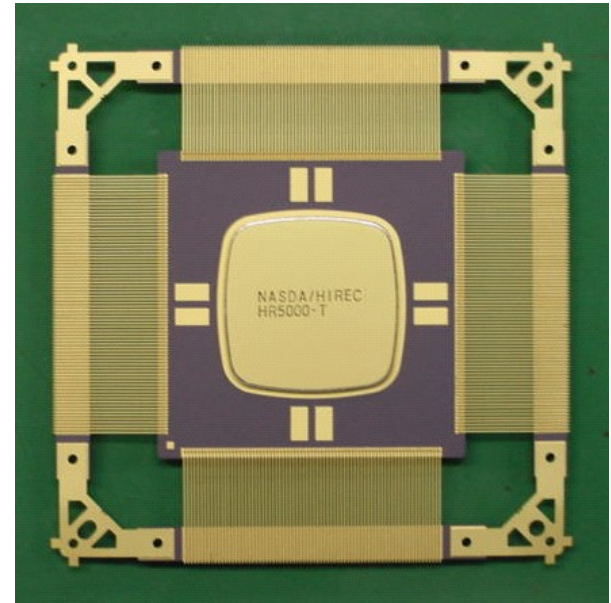
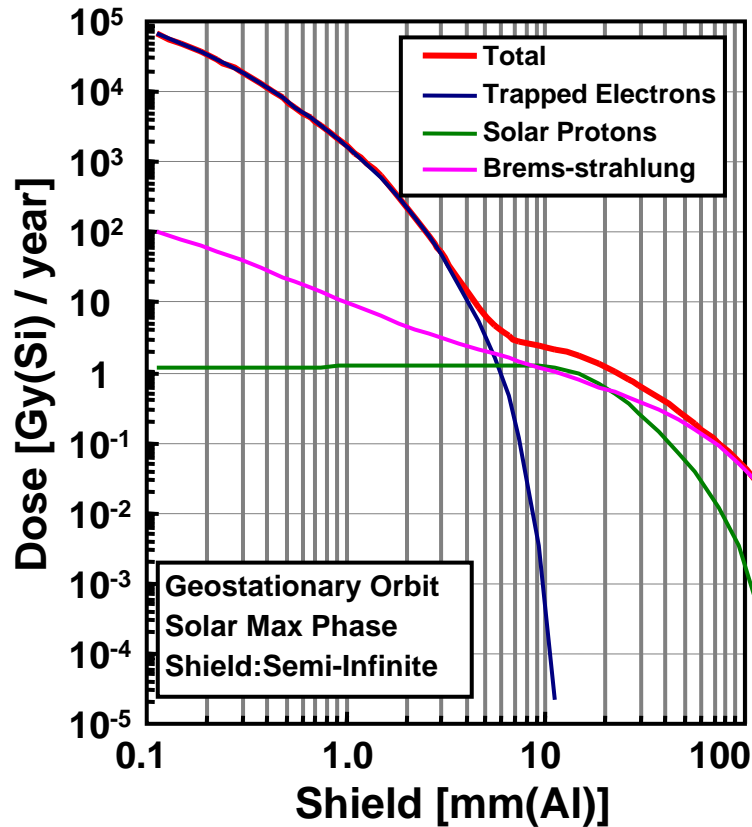


- 動作レベルで耐放射線性を確保するため、ハミングコード等による信号を冗長化
- セルレベルの回路設計で耐放射線性を確保するRHBD (Radiation Hardness-By-Design)技術の適用



- 市販のMPU IPをそのまま利用
- 周辺回路IPはユーザの希望に沿ってカスタマイズして利用
- 電離損傷に対してはパッケージで対応
- SELに関しては、実験により基本的な問題がないことを確認
- キャッシュメモリ等の規則性が強く、高密度実装が要求される部分はパリティビットと複数ビット同時SEUを防止するためのインターリーブ技術を適用し、ソフトウェアと協調によるリカバリ手段を準備
- ロジックセルの内SEUの発生に関与するセルにRHBD技術を適用してSEU耐性を確保

# 電離損傷効果への対策



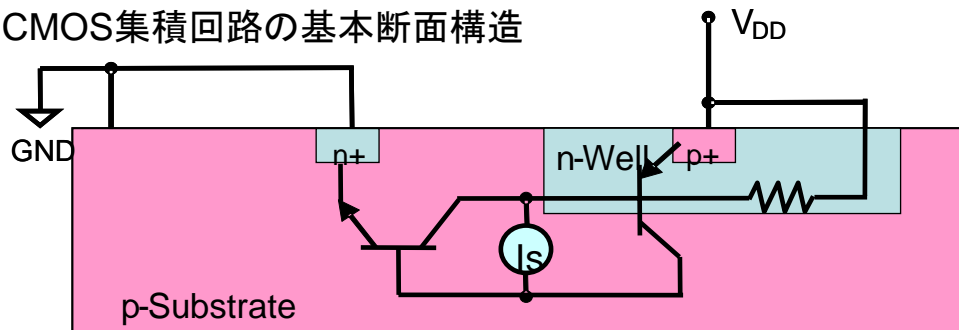
耐放射線性パッケージの断面構造

電離損傷の多くは電子線によるものであるが、透過能力が低いため局所的な遮蔽により大幅に緩和できる。 → LSIでは効率的な遮蔽が可能

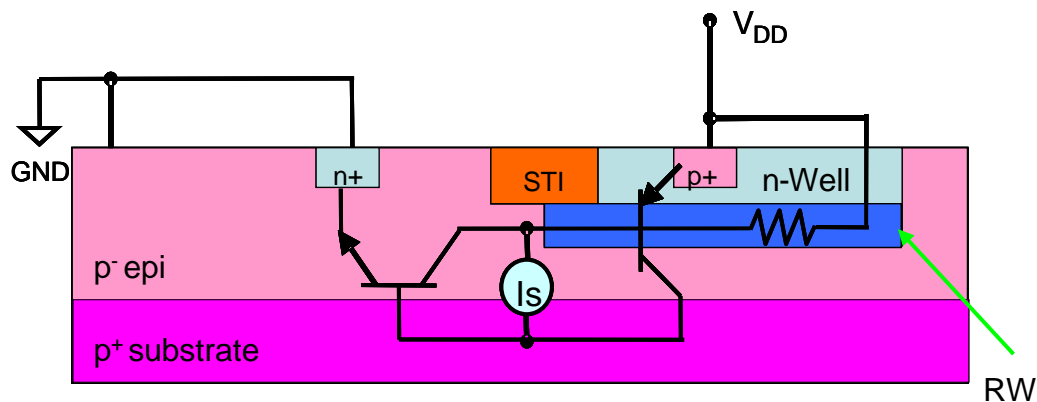
# SEL耐性の評価



(a) CMOS集積回路の基本断面構造



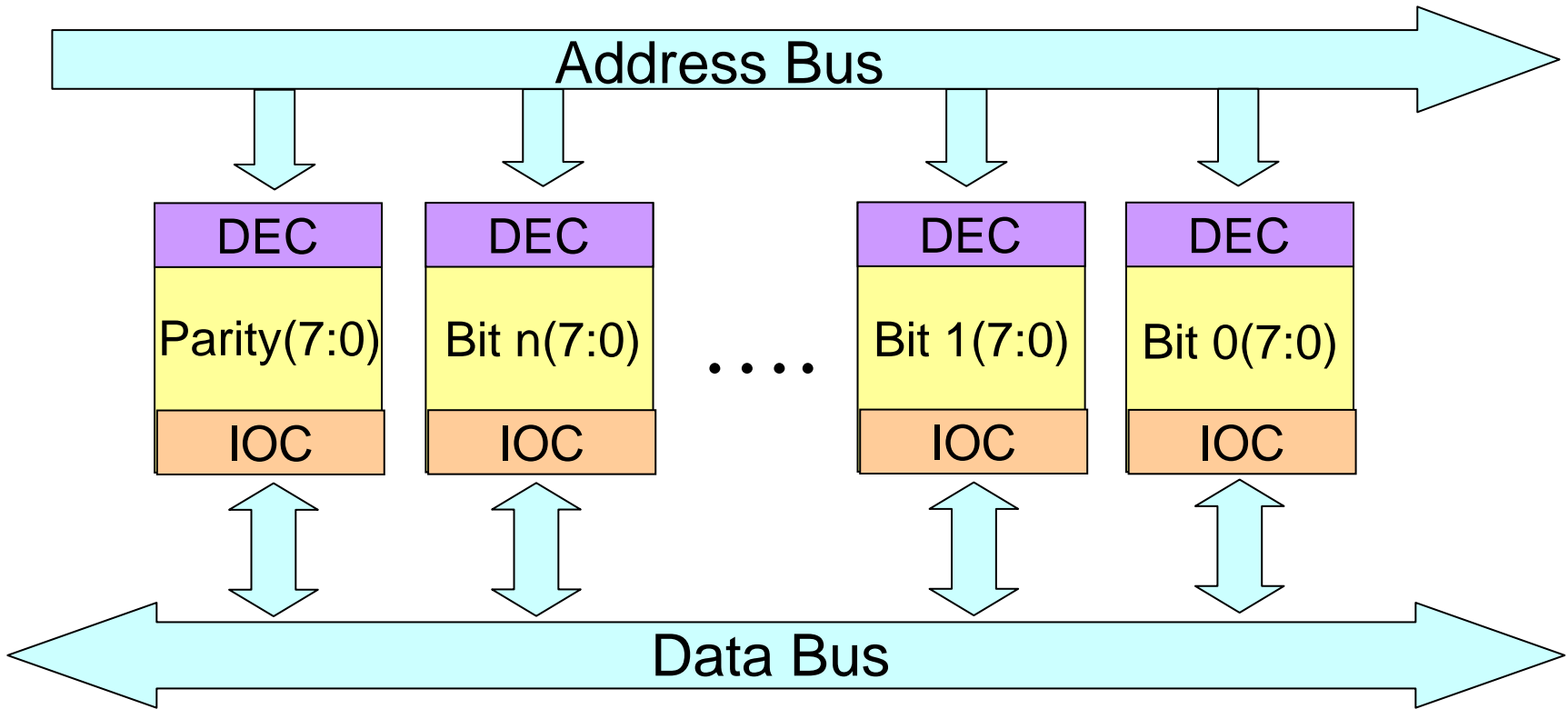
(b) MPUで採用したCMOS集積回路の断面構造



STI: Shallow Trench Isolation  
RW: Retrograde Well  
SEL: Single-Event Latch-up

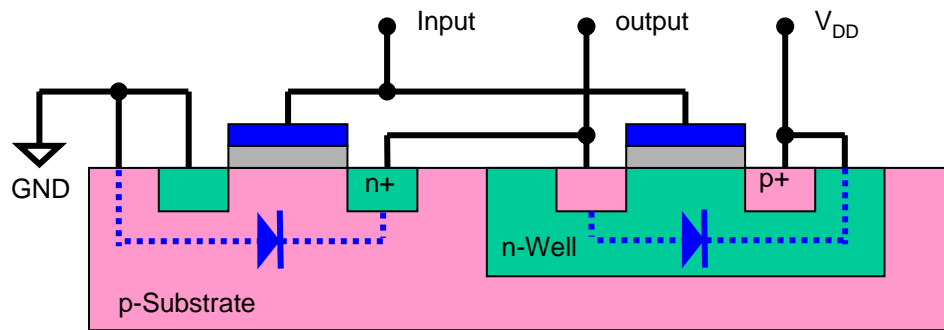
MPUの開発に適用したCMOSプロセスはRW、STI、エピ基板等の技術を適用し、適切な基板コンタクトを確保するだけで宇宙用として十分なSEL耐性を確保できることが実験的にも確認された。

# パリティとインターリーブ配列によるSEU対策

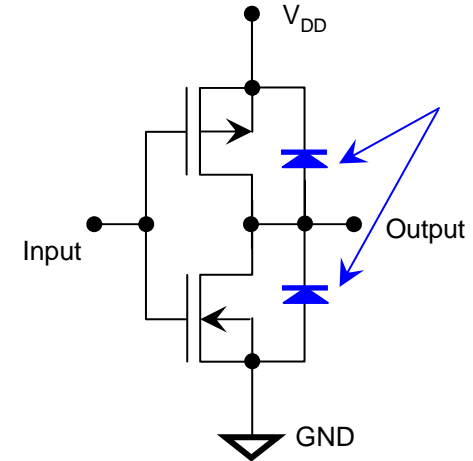


メモリブロックに使われているセンスアンプは特にSETによる影響を受け易く、容易に実装できる有効な対策もほとんど知られていないが、1ワードを構成する各ビットを別のブロックに割当ててパリティビットを付加することでエラーを確実に検出できる。キャッシュメモリではエラーを検出してもキャッシュミスヒットとして処理を続けることができ性能の低下は最小化できる。

## バルクCMOSの基本断面構造



## 等価回路



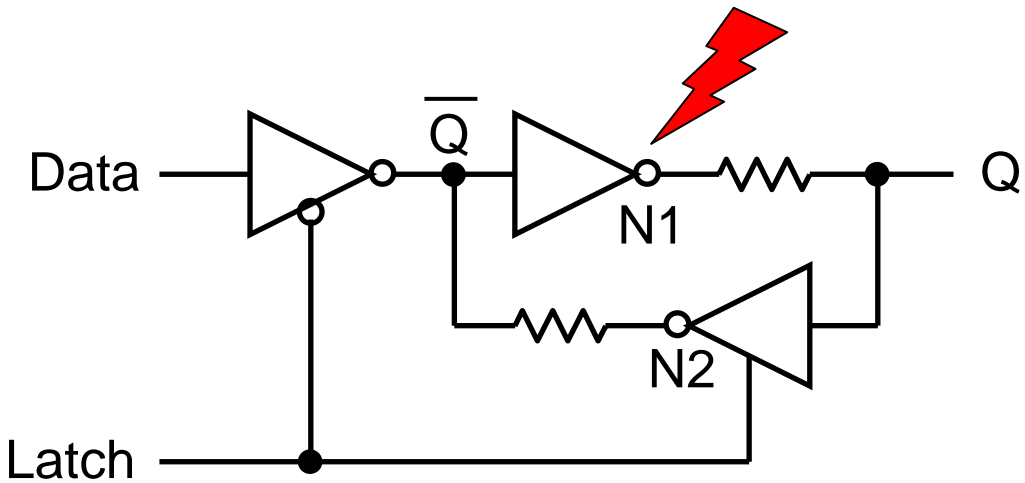
- 対応するトランジスタがOFFのとき重イオンがドレイン・ボディ接合部に入射すると、Output端子にSETパルスが現れる。バルクデバイスではこれは避けられない。
- SETパルスを見捨てることによって、SEU対策となる。
- クロックパルスはSETパルスに比べて十分に判別できる程度に長い必要があり、動作スピードの限界を決定する。

200MHzのクロックH幅2.5ns > SETパルス幅 $\approx$ 1ns : ほぼ限界



# RHBDラッチ回路(その1)

Cross-Coupled Resistor

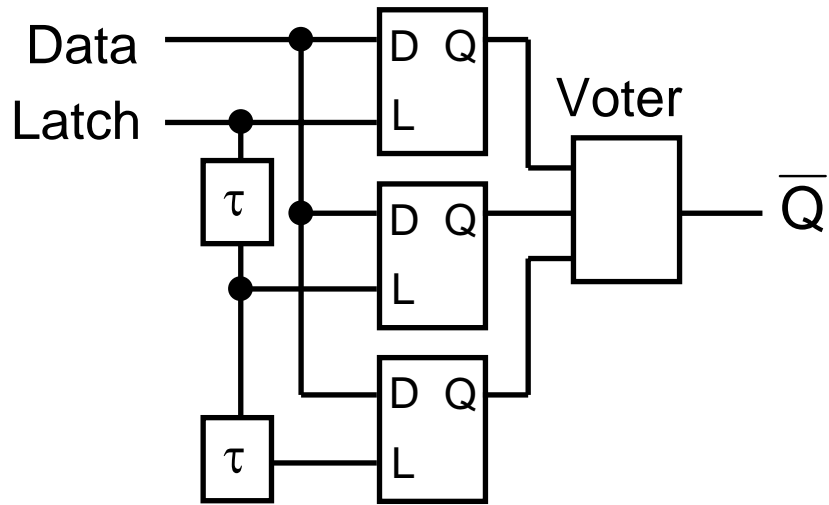


N1で発生した誤信号が $\bar{Q}$ まで伝搬する時間を遅らせ、ラッチされないようにする。  
 抵抗値を調整することで、耐性を自由に調整することができる。

- 抵抗を形成するプロセスが必要であり、かつその面積が大きい。
- 抵抗による電力消費が発生する。
- 速度の低下が許容できない場合がある(微細化プロセスにおいて)。

# RHBDラッチ回路(その2)

Triple Module Redundancy (TMR)

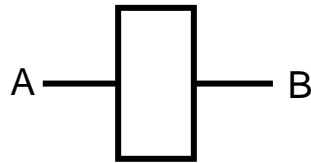
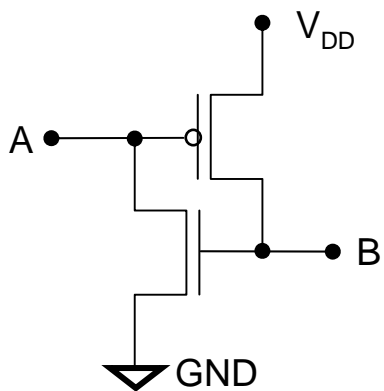


三重多数決で出力を決める。  
 クロックラインのディレイ時間を調整することで、クロックラインの誤動作にも対応できる。

➤ 確実に対策できるものの、消費電力・面積がきわめて大きくなり(>x4)、大規模な回路では実用的ではなくなってくる。

# RHBDラッチ回路(その3)

## Dual Interlocked storage Cell (DICE)

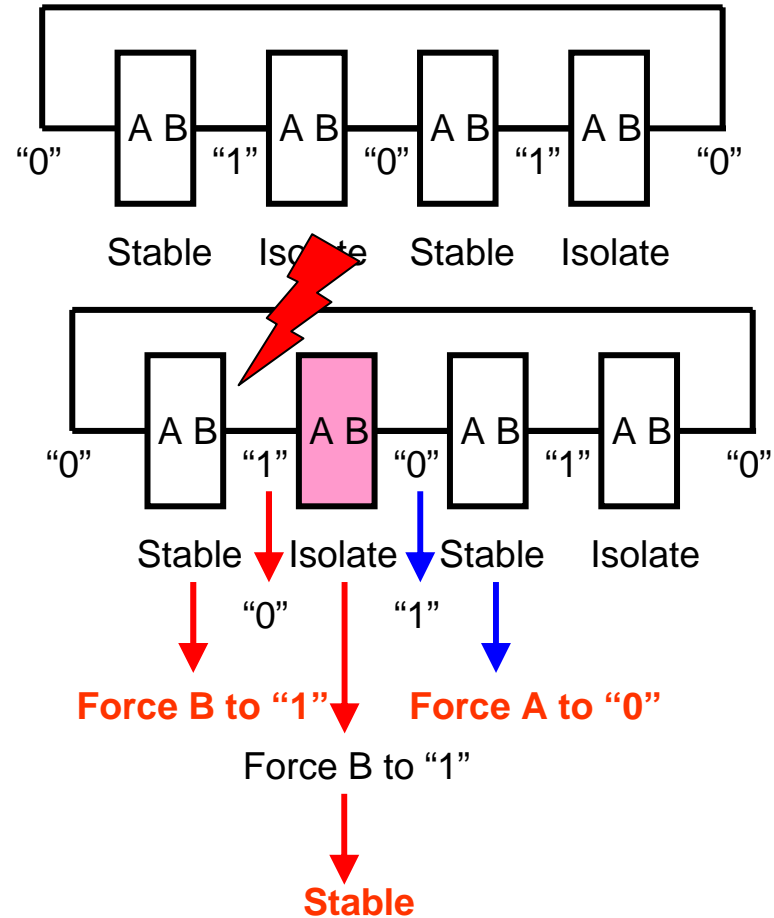


A	B	Status
0	0	Force B to "1"
0	1	Stable
1	0	Isolate A and B
1	1	Force A to "0"

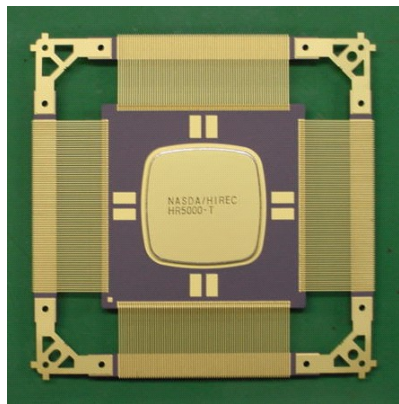
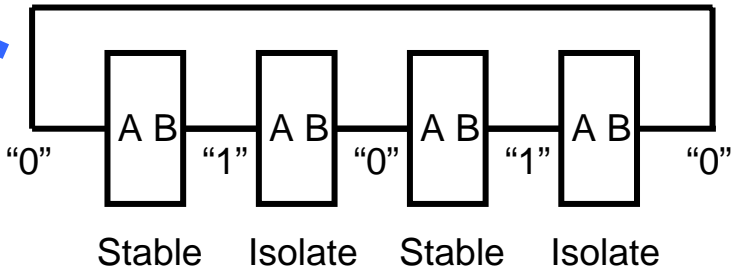
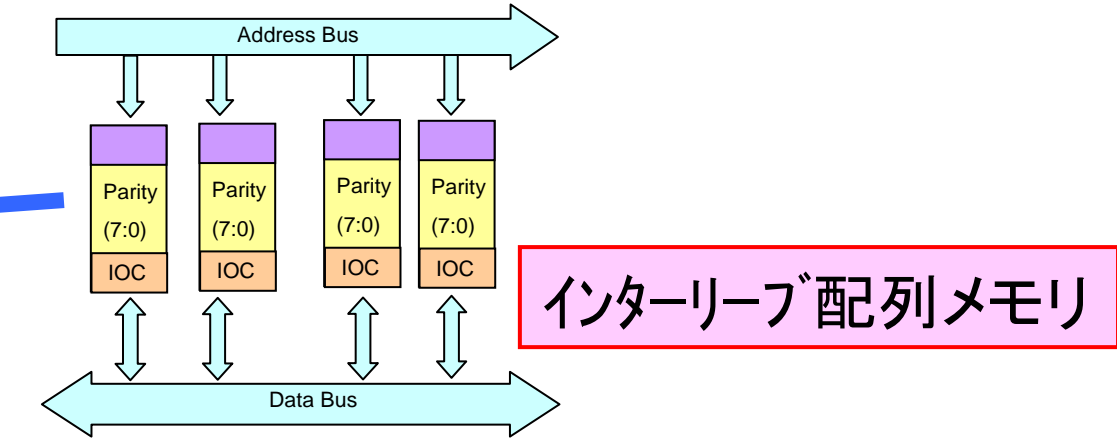
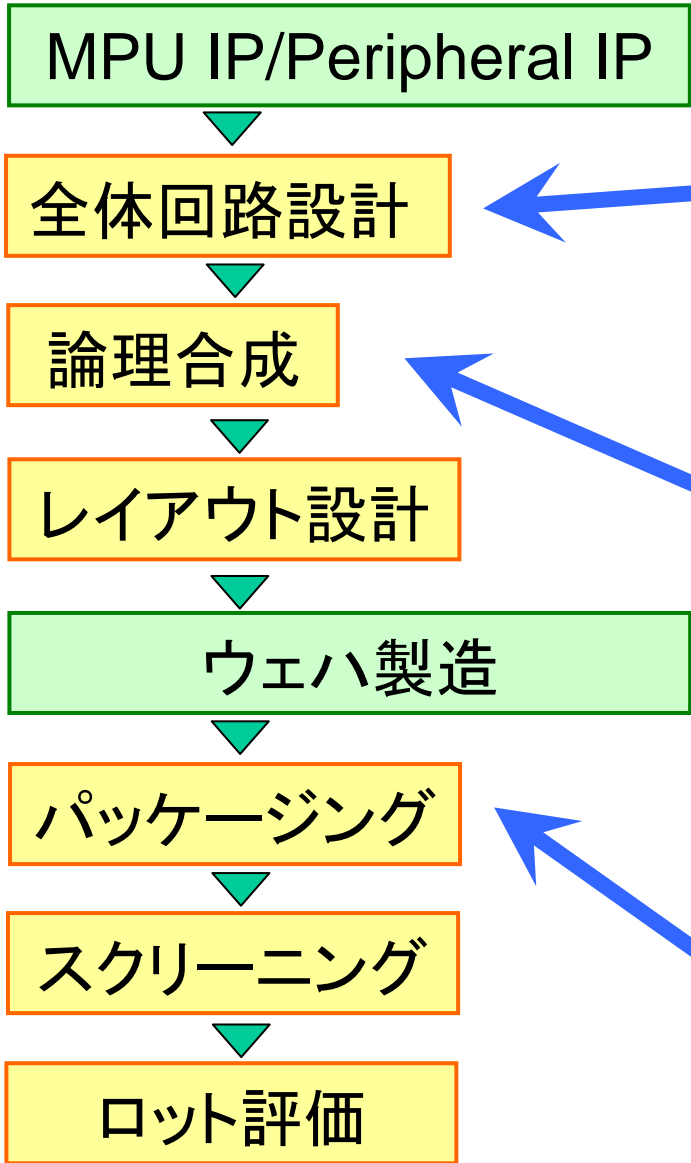
データを2ヶ所で保持しているだけだが、誤りが発生すると両隣から確実に修正できる。

➤ 消費電力・面積が2倍程度になる。

MPUの開発にはこのDICEをベースとするラッチ回路を適用



# MPU完成までの流れ

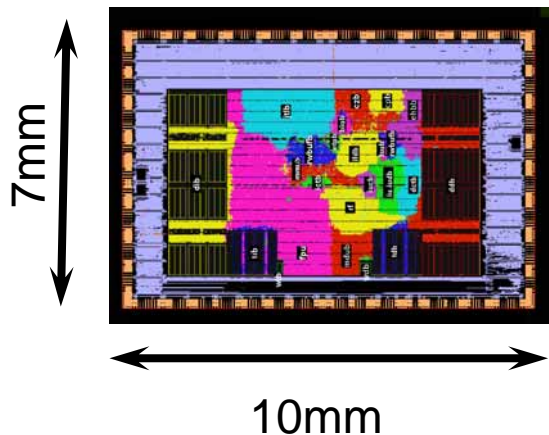


遮蔽機能付パッケージ

# MPUチップの比較

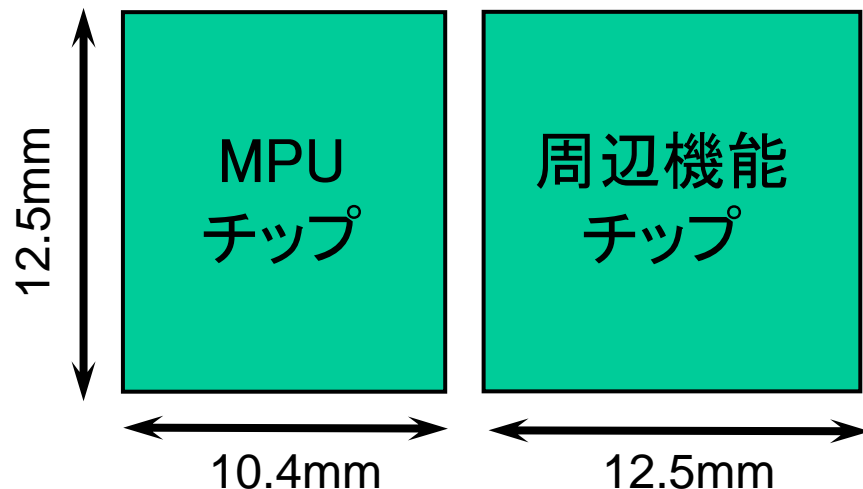


## QTサンプルチップ



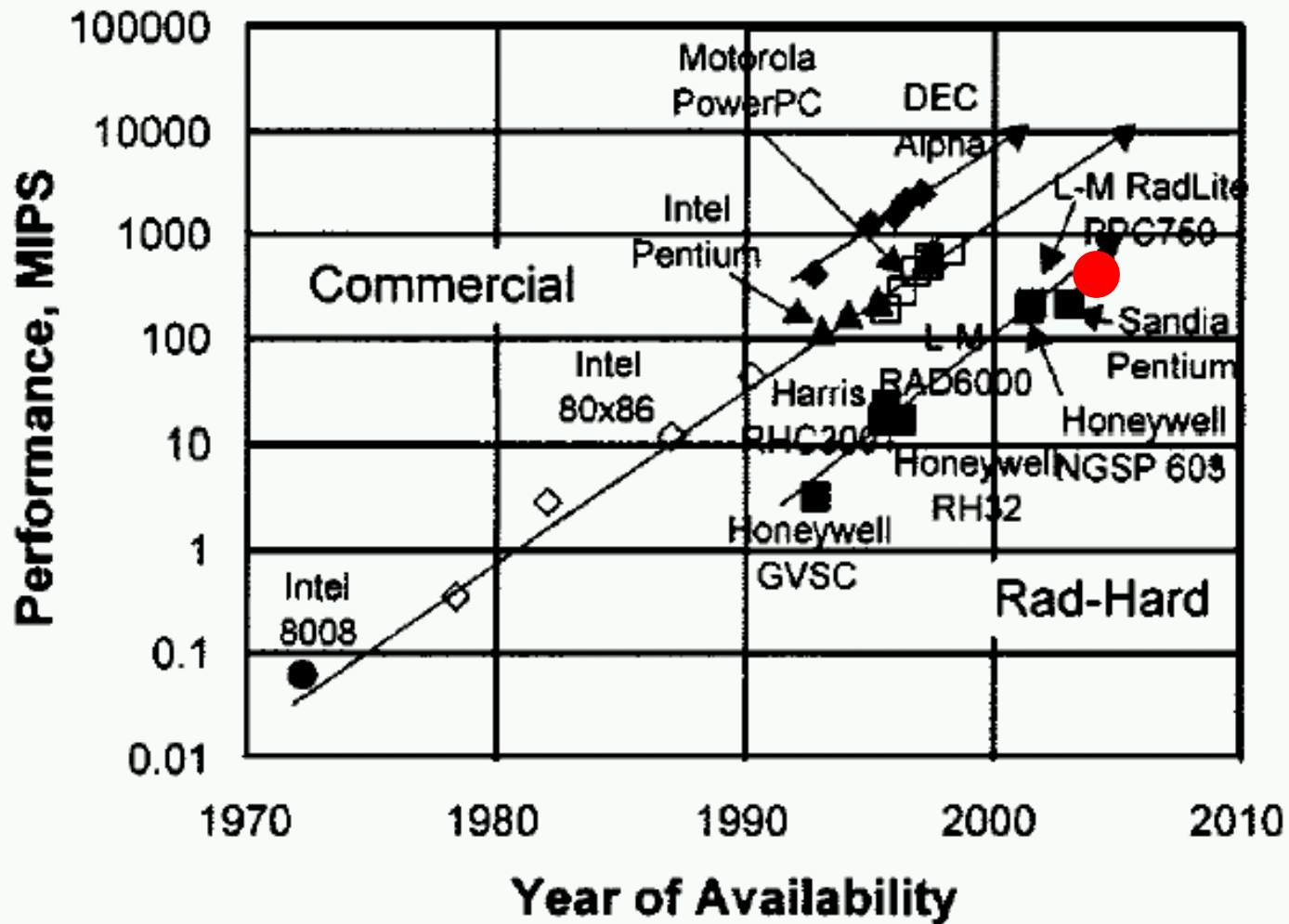
- 0.18 $\mu$ mプロセス(周辺回路一体)
- 200MHz動作(66MHzPCI)
- MIPS5kf互換
- 32kB(命令)+32kB(データ)キャッシュ

## RAD750(米BAE社)



- 0.25(MPU)+0.5 (周辺)  $\mu$ mプロセス
- 133(MPU)+33 (周辺) MHz動作
- PowerPC750互換
- 32kB命令+データキャッシュ

# 開発したMPUの位置づけ



Lacoe et. al., IEEE Trans. Nucl. Sci., Vol. 47, No.6, pp 2334-2341, Dec. 2000より引用

## まとめ

---

- ▶ 開発期間の短縮とコストの低減を目指し、製造プロセス固有の耐放射線性を調べ、プロセスを変更することなくパッケージ、基本回路要素、システムレベルの強化技術を駆使することによって、放射線の厳しい宇宙環境でも安定に動作するディペンダブルなマイクロプロセッサを開発した。
- ▶ このMPUを採用した衛星システムの設計検討がすでに進んでおり、今年度にも初フライトを予定している
- ▶ 今後はこの技術をさらに発展させ、90nm以降の微細化プロセスへの適用について研究を進める