

# マルチコア、ネットワーク・オン・チップのもたらすもの-複雑化による落とし穴と性能・機能・ディペンダビリティ向上のチャンス

株式会社ルネサス テクノロジ

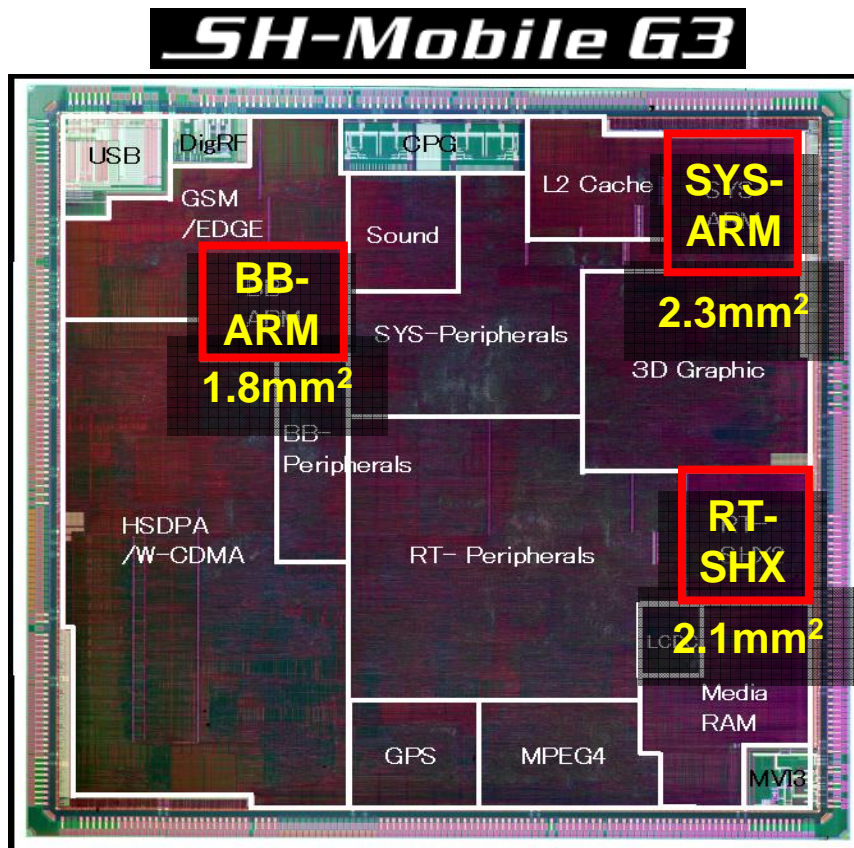
設計開発本部

長谷川 淳

2009/03/24 CREST/DVLSI21年度ワークショップ パネル討論

# Miniaturization Enables to Increase Number of CPU Core in one SoC

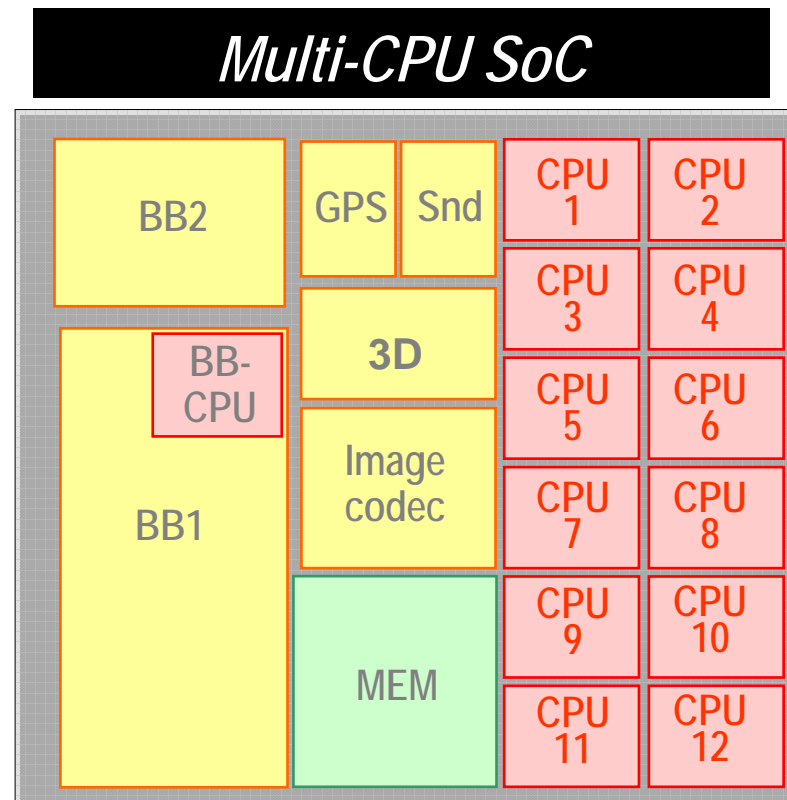
CPU size is not so big: 2% – 3% of a whole chip  
 In 45nm process, many CPU's can be mounted on one SoC  
 Multi-CPU SoC can be a solution for "hard" software



Die Size: 86.5mm<sup>2</sup> (9.3mm\*9.3mm)

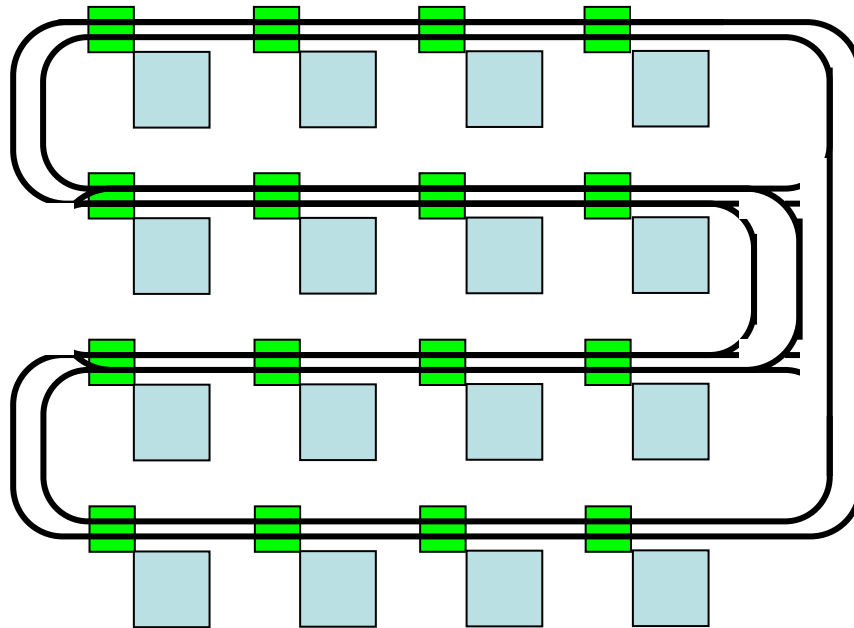
■ 65nm process ■

CPU面積だけを考えれば可能

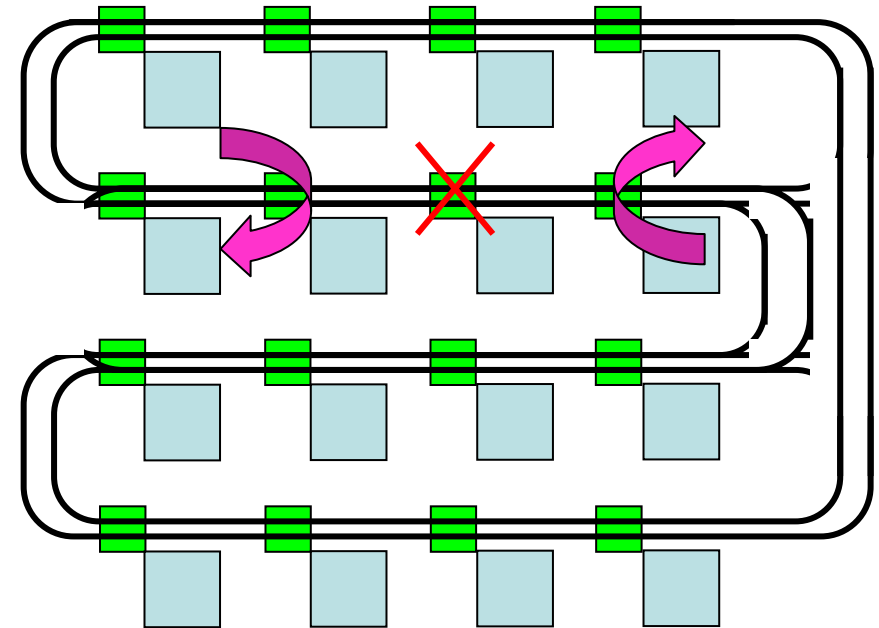


■ 45nm process ■

# 双方向Ring



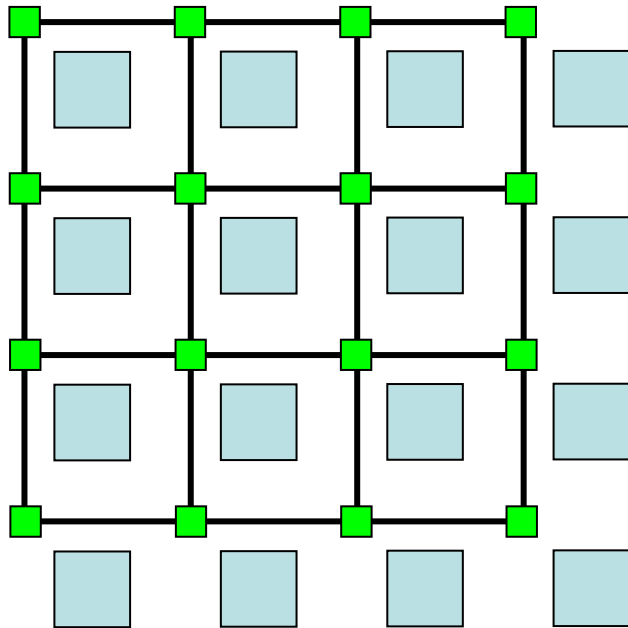
メモリはどこに？



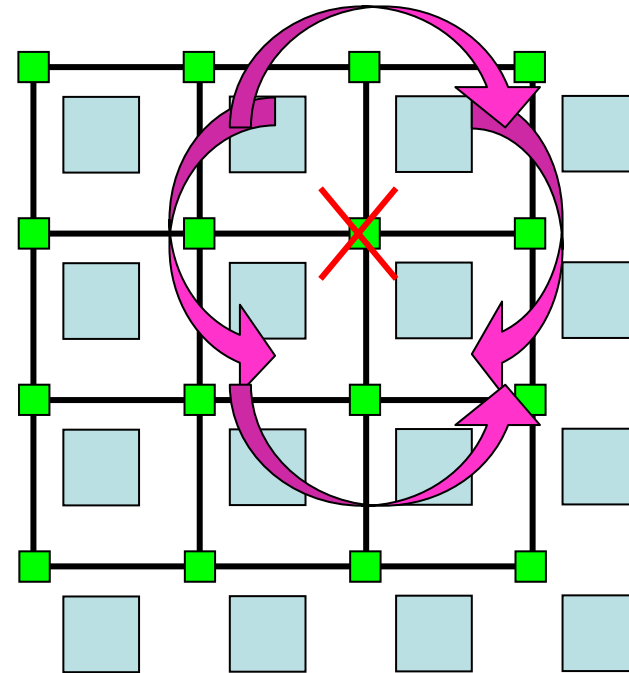
故障対応

配線故障は迂回、ルータ故障  
は切り離すと迂回

# 2D Mesh



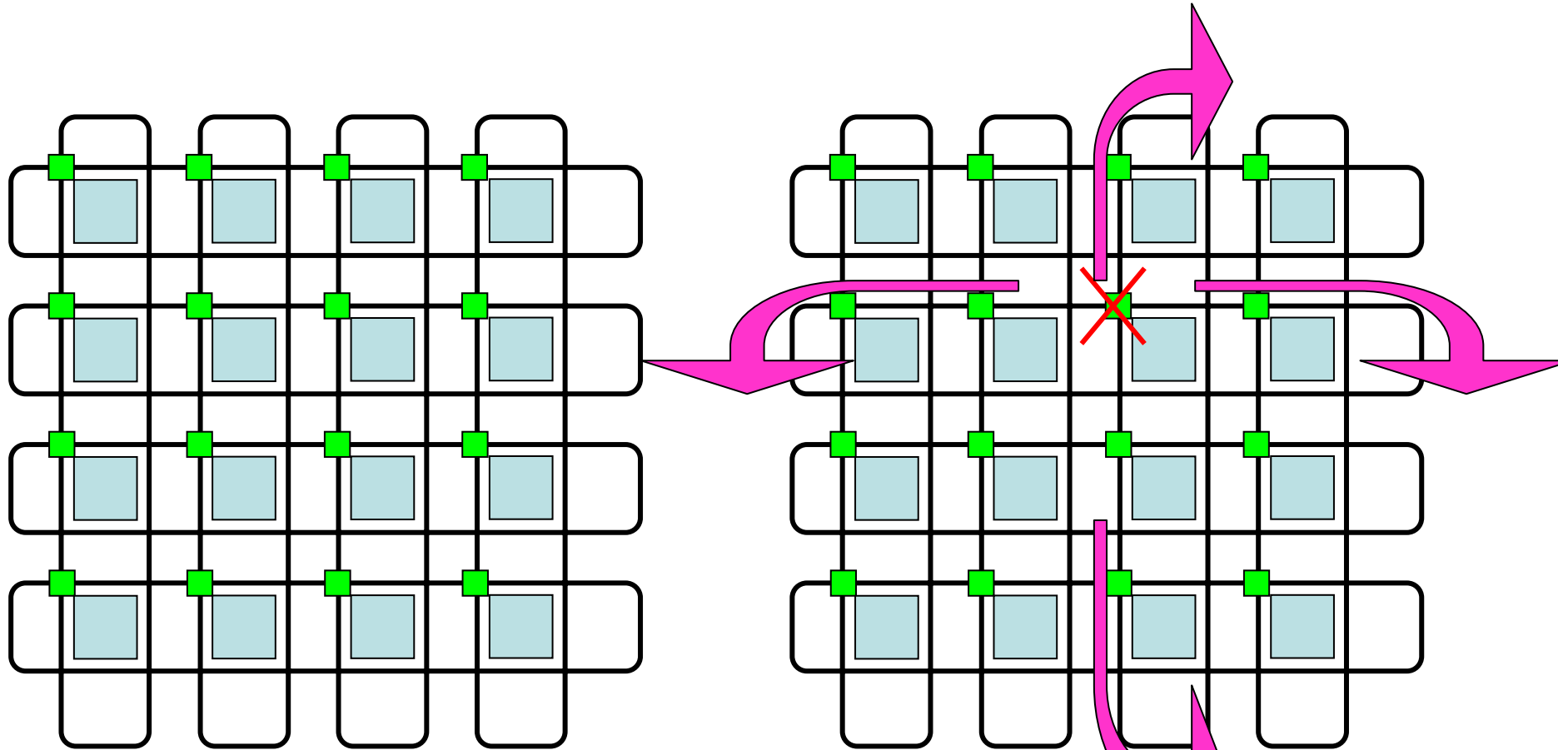
メモリはどこに？



故障対応

配線、ルータ双方の故障とも  
切り離し

# 2D Torus

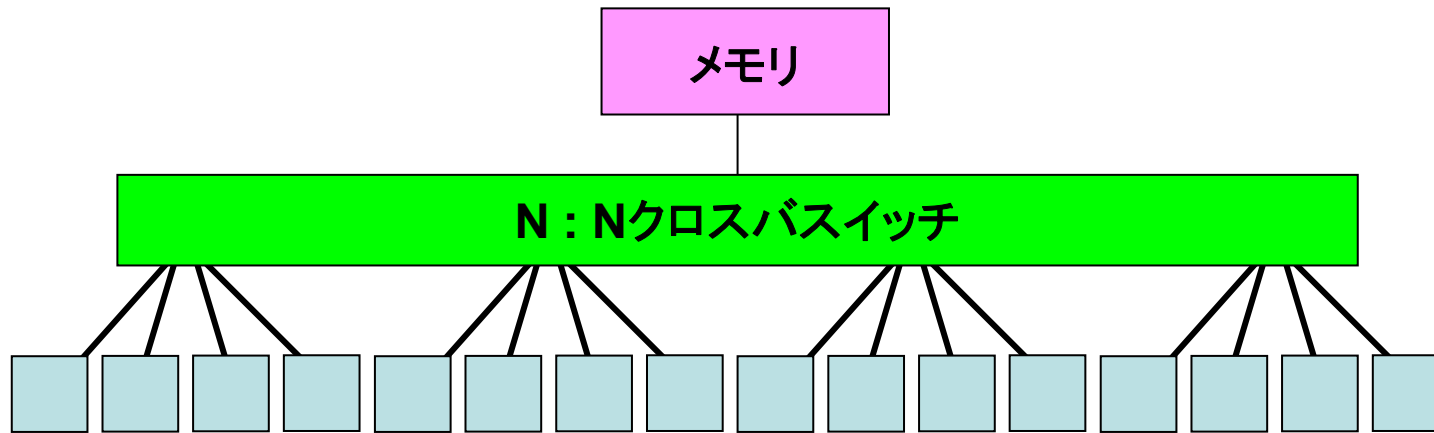


メモリはどこに？

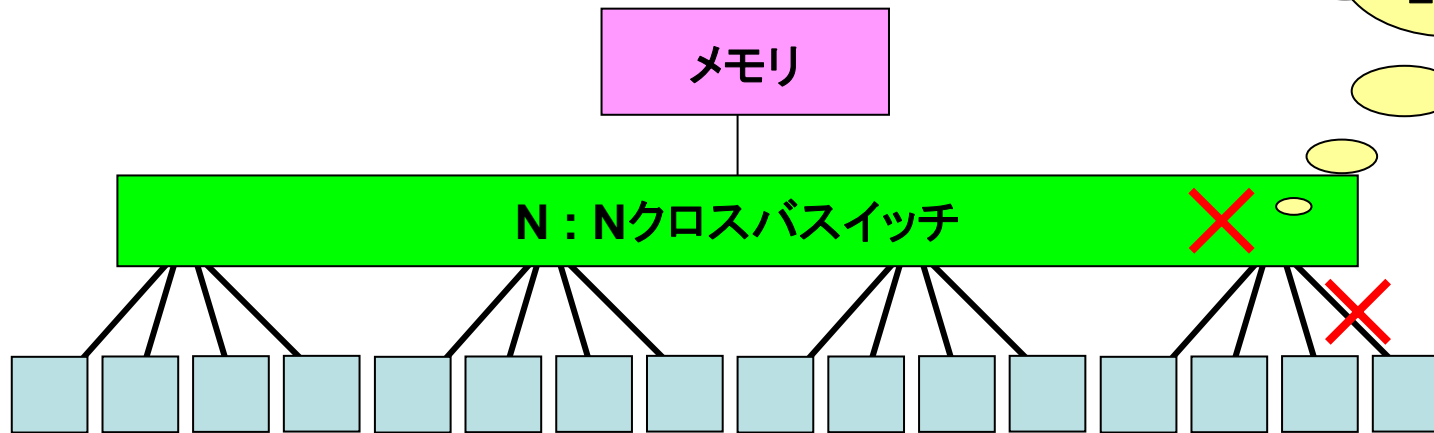
故障対応

配線故障は迂回、ルータ故障  
は切り離すと迂回

# Full Crossbar

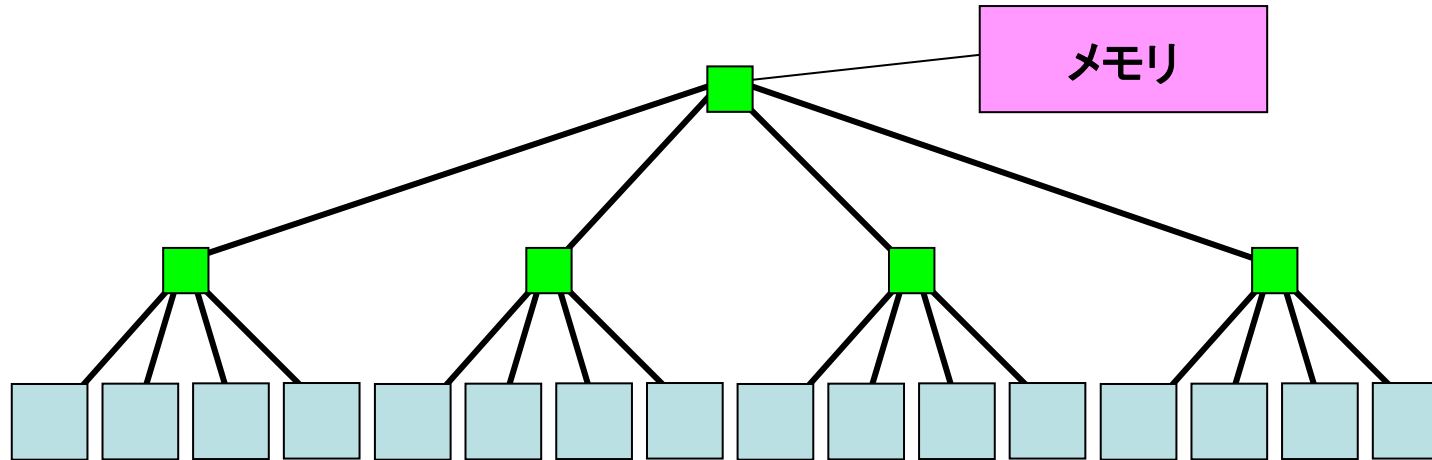


クロスバの内部の故障耐性、切り離し性確保は回路規模大2重化をするか？

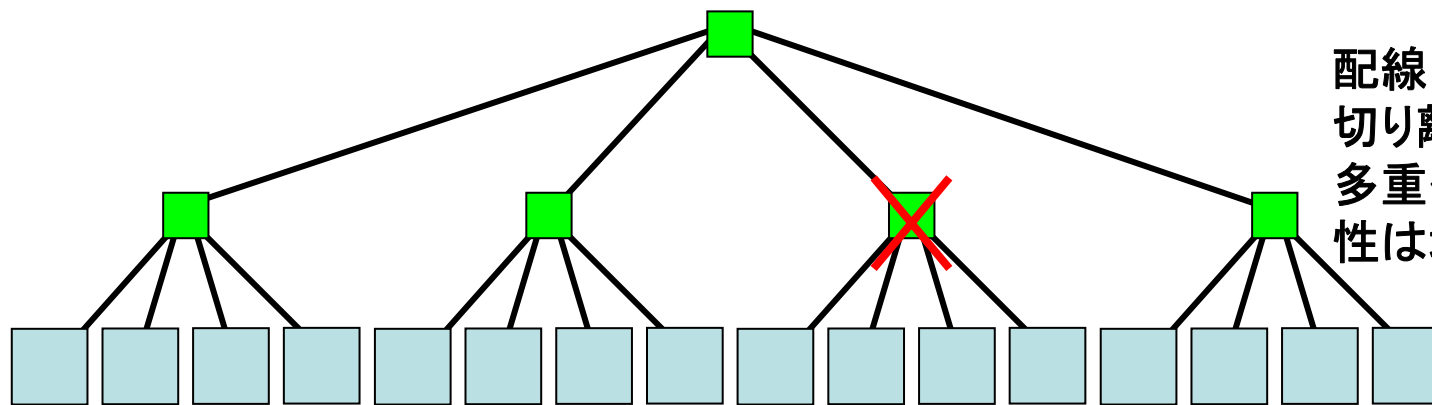


配線故障は切り離しや多重化で確保可能

# Fat Tree



メモリ/I/Fを分散すれば  
耐故障性は増大



## 故障対応

配線、ルータ双方の故障とも  
切り離し  
多重化はコスト増だが耐故障  
性は増大



株式会社ルネサス テクノロジ

©2007. Renesas Technology Corp., All rights reserved.