

2011年12月3日 ディペンダブルVLSIシステムワークショップ

# 「研究成果の実証・実システム適用について」 パネルディスカッション ポジショントーク

ルネサス エレクトロニクス株式会社

部署名 技術開発本部 設計基盤開発統括部 デバイス基盤開発部 中村 英之

2011年12月3日Rev. 0.00

# 「研究成果の実証・実システム適用について」ポジショントーク1

## ■ ディペンダブルVLSIシステム 成果への期待

- ソフトエラー・・・用途によって要求レベルが大きく異なる
- 対策による信頼性vsコスト・性能のトレードオフ最適化が重要  
開発初期段階から判断が望まれる
- メモリではエラー訂正は許容範囲？  
論理回路の対策はコスト・性能ペナルティ大、適用も容易ではない
- 実際に論理回路ソフトエラーはどのくらい問題なのか？  
照射試験で定量するのは困難（精度、時期）  
→EDAツールによるサインオフに期待

## ■ 大学研究の活用について

- 米国・ソフトエラーではVanderbilt大と企業・国家機関の共同研究が盛ん
- 企業の今かかえる課題を共有し、将来の課題に対する道筋を  
－ 軸足を外さずに一步先へ

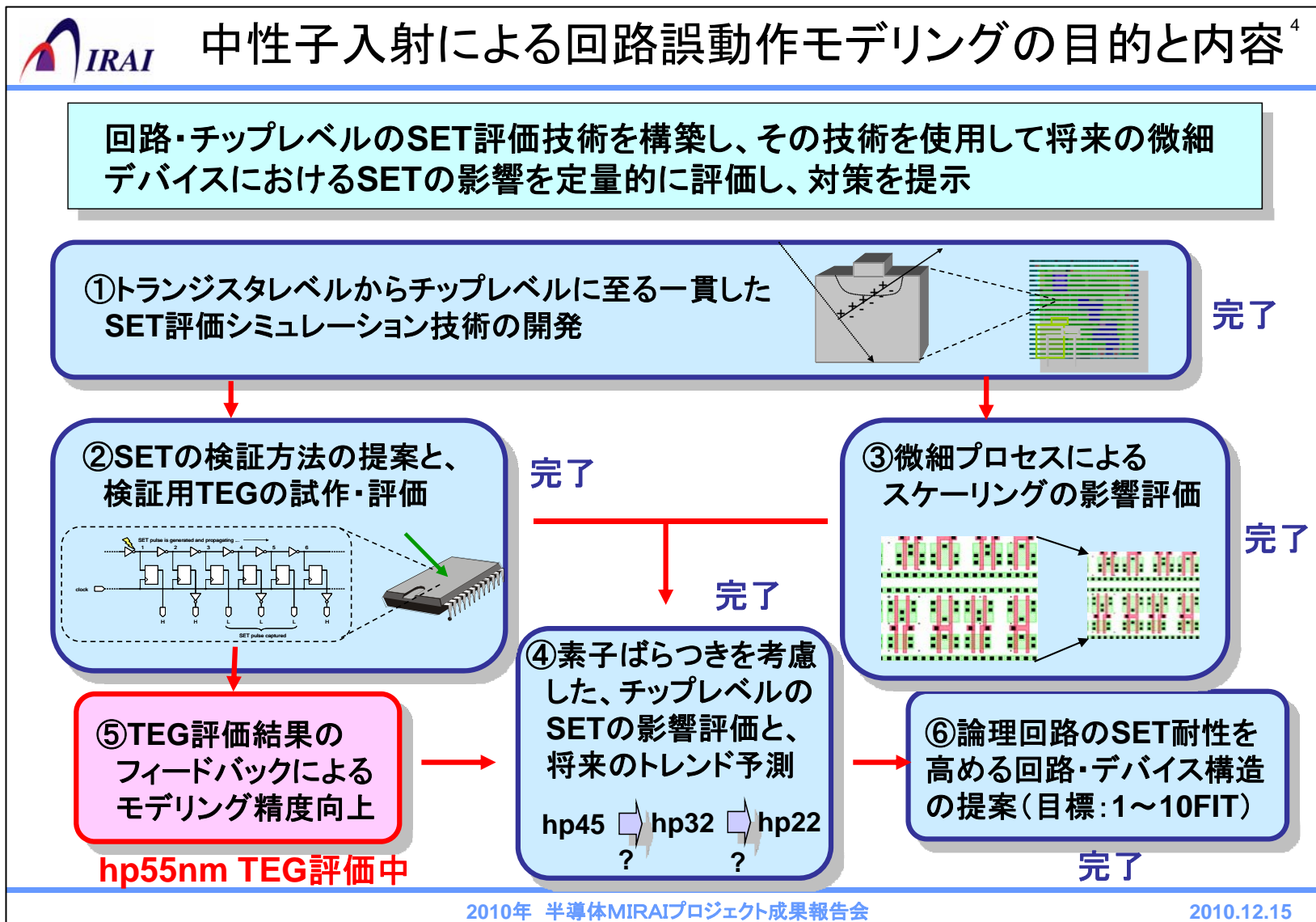
## 「研究成果の実証・実システム適用について」ポジショントーク2

### ■ DVLSIの出口戦略を容易化するための提言

- 独自技術による優位性追求 < 連携による大きな成果
- ソフトエラーでは、核反応／デバイス／ゲート／論理回路／システムレベルなど範囲があまりに広い
  - ある範囲は専門のところにまかせる、既存の成果を活用する
- 信頼性保証のEDAツールは、結果の実証が大変
  - シンプルかつ、現実的な例題での実証
  - 計算方法が誰にでも理解され受け入れられること
- MIRAIプロジェクト 耐外部擾乱デバイス の例
  - 論理ゲートレベル計算は既存ツールをベースに
  - 実際の論理回路に近い測定対象回路を用いて、結果を実証
  - 将来トレンド予測もシンプルな例題で

# 参考 MIRAIプロジェクト 耐外部擾乱デバイス の例

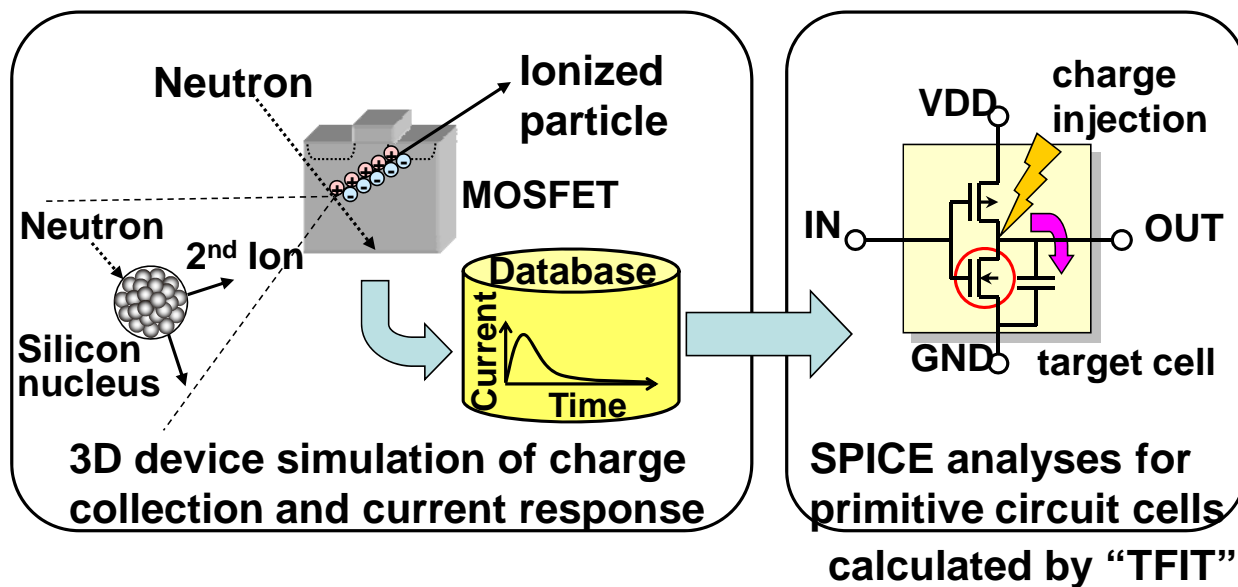
2010年半導体MIRAIプロジェクト成果報告会 発表資料より



# 参考 MIRAIプロジェクト 耐外部擾乱デバイス の例

2010年IRPS発表資料より

## Simulation Flow to Calculate SET Pulse Width



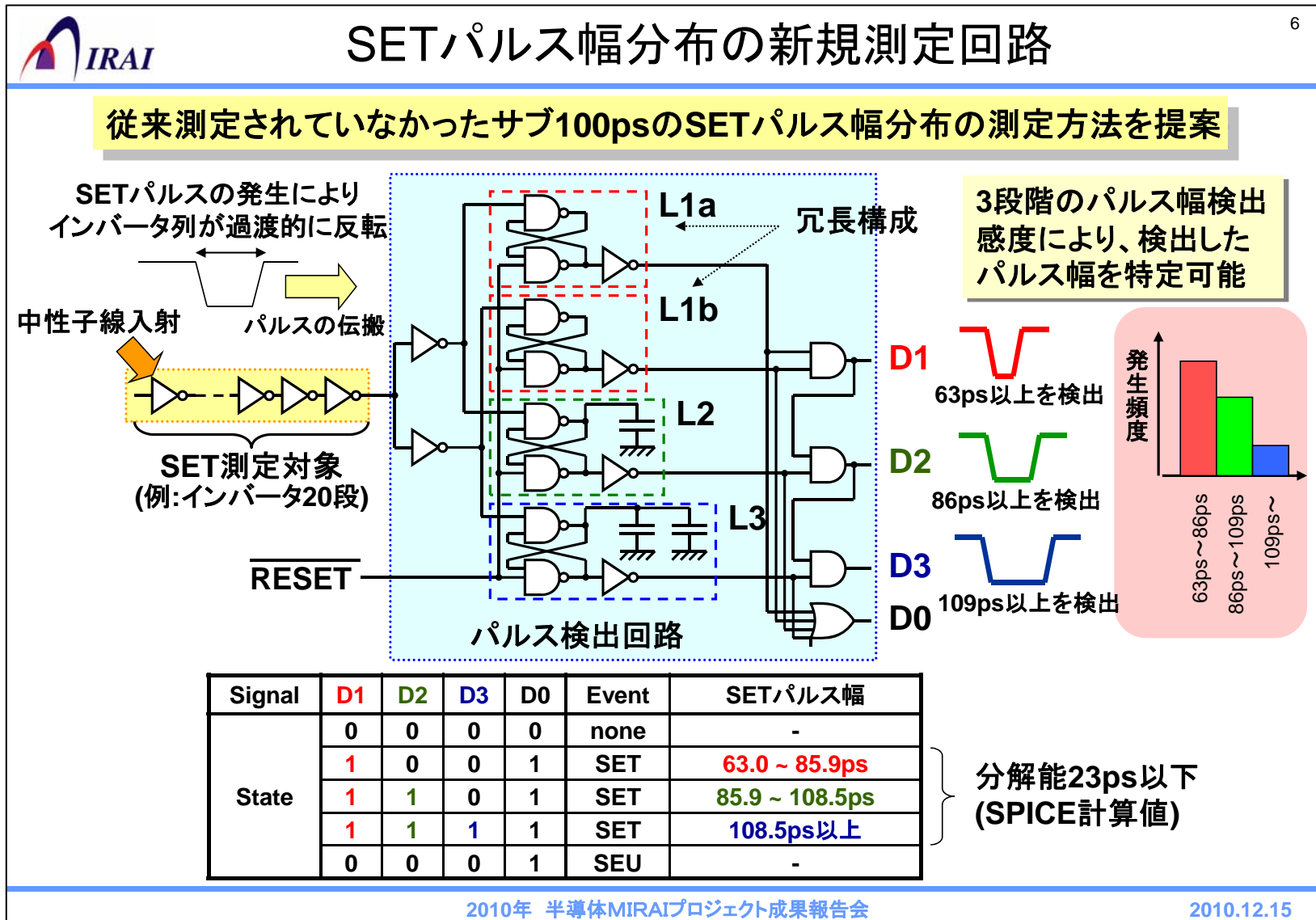
- Accurate and fast pulse width estimation in primitive cell level utilizing current response database

Hane et al. (MIRAI-SELETE), SISPAD 2008

5/16

# 参考 MIRAIプロジェクト 耐外部擾乱デバイスの例

2010年半導体MIRAIプロジェクト成果報告会 発表資料より

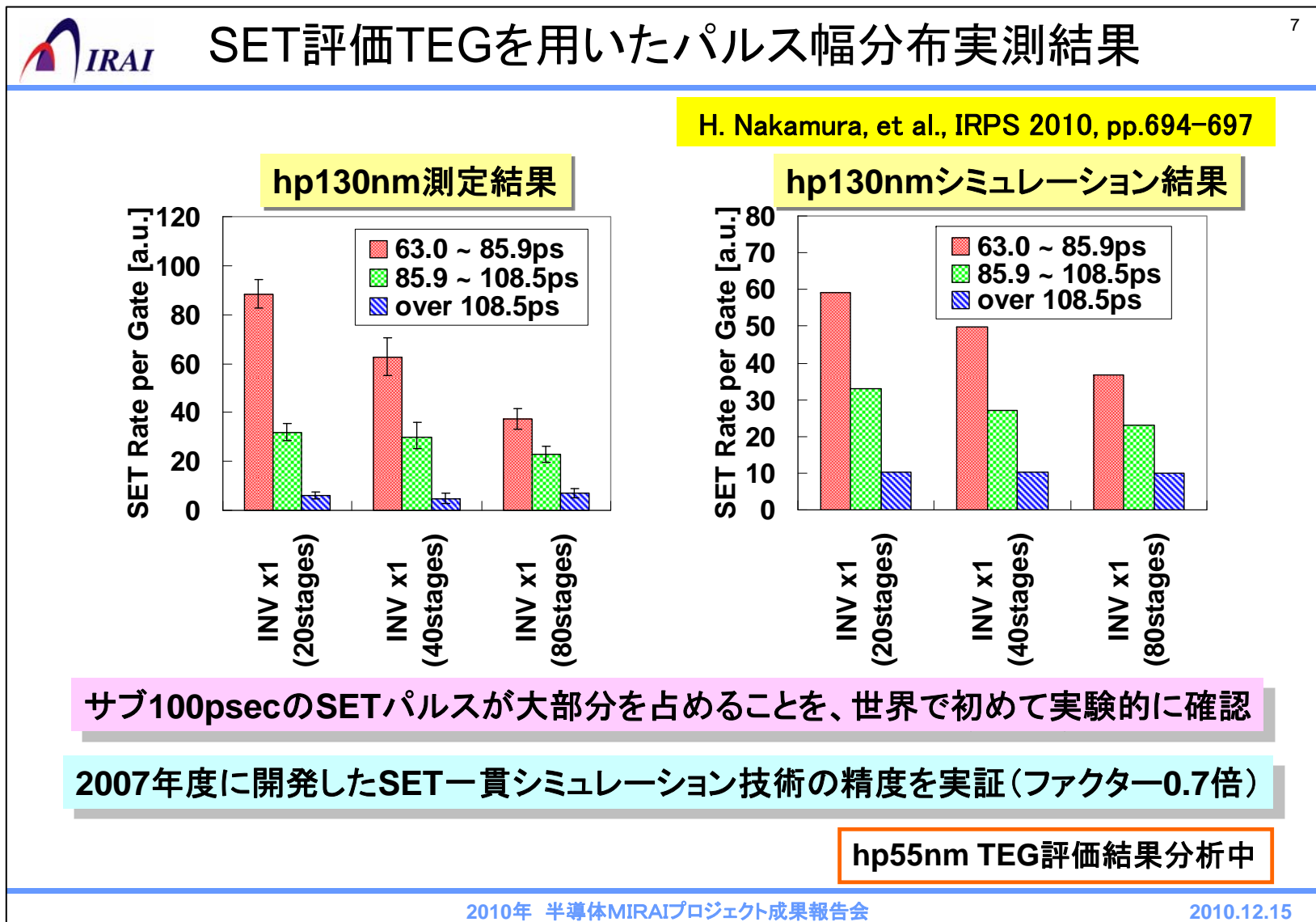


2010年 半導体MIRAIプロジェクト成果報告会

2010.12.15

# 参考 MIRAIプロジェクト 耐外部擾乱デバイス の例

2010年半導体MIRAIプロジェクト成果報告会 発表資料より



**RENESAS**

**ルネサス エレクトロニクス株式会社**

© 2011 Renesas Electronics Corporation. All rights reserved.