

アーキテクチャと形式的検証の協調 による超ディペンダブルVLSI

戦略的創造研究推進事業
「ディペンダブルVLSIシステムの基盤技術」
パネル討論

東京大学 大学院情報理工学系研究科

坂井 修一（代表者）

五島 正裕

東京大学 大規模集積システム設計教育研究センター（VDEC）

藤田 昌宏

東京工業大学 大学院情報理工学研究科

吉瀬 謙二

日本電気（株）

若林 一敏

①現存または近く出現するどんな実問題に課題をとったか

■ 検証・デバッグ

- C言語ベース設計での正しさの保証
- 上位設計とそれを最適化・詳細化した設計間の等価性の保証
- SoCなど大規模複雑な設計で、製品(シリコン、FPGA)に残っているバグの解析、デバッグ
- カスタマイズされた演算器を如何に効率よく設計するか？
- 設計変更やターゲットとするデバイスの変更があった場合、短時間で正しい設計データに変更する
 - 例1:ASIC用の浮動小数点演算IPをFPGA用にチューニングする
 - 例2:EBCモードのみのDES暗号IPに、CBC,OFB,CFBなどのモードを追加する

■ アーキテクチャ

- プロセスの微細化に伴うランダムばらつきによって、実性能が向上しなくなっている問題の解決
- 超高信頼用途VLSI(宇宙用など)が高コスト・低性能で入手困難(納期長大)になっている問題を解決する
- メニーコアプロセッサの信頼性を飛躍的に向上させる

②問題に対する解答として得られた研究課題は何か

■ 検証・デバッグ

- 形式的等価性検証
 - 記述の差異に注目した新規手法とそのツール化
- シミュレーションベースのアサーションベース検証手法
 - 記述の因果関係を解析し、検証効率の良いシミュレーションパターンを自動生成する技術
- ポストシリコン検証・デバッグ手法
 - C言語設計を利用した効率的な解析手法、シリコン上で論理修正可能なPatchable HWの提案とその支援ツール
- カスタム算術回路の自動合成・検証手法
 - Modulo等価性を考慮した多項式からのカスタム算術回路の自動合成・形式的検証手法
- 大規模回路にFLECを適用する技術
 - (階層構造のない)フラットなC言語記述から、設計変更部分を階層として抽出できるシステム

■ アーキテクチャ

- タイミング故障耐性
 - 動的にタイム・ボローイング可能なクロッキング方式
 - あらゆる箇所のタイミング・フォールトを検出・回復可能な(スーパスカラ)プロセッサの構成方式
- 超高信頼アーキテクチャ
 - FPGA + TMR + DPR
 - 検出回路: ハードワイアード・ロジック
 - 再構成回路(プロセッサ)をユーザ・ロジック
 - TMRの3つ組をロジック・ブロック内でのみ構成する
- 超高信頼メニーコア
 - 高機能ルータアーキテクチャを中心とする多重実行システム
 - メニーコアプロセッサのためのタスク配置手法
 - メニーコアプロセッサ評価用のFPGAプロトタイプシステム

③ DVLSIシステム設計・応用の現場における出口戦略は何か

■ 検証

- 形式的等価性検証(+差異検出手法)
 - NEC CyberWorkBenchへの組み込み・利用
 - STP(ルネサス)の設計環境への組み込みや、Xilinx, Alteraとの協業: FPGAユーザー向け
- シミュレーションベースのアサーションベース検証手法
 - イタリアVerona大学との共同研究: ソフトウェアアサーション検証ツールとして実用化(商品化)
- ポストシリコン検証・デバッグ手法
 - アプリスターと協調: 通信モニターによる手法と、Patchable HWに関し、ツール(商品)化のための開発を進めようとしている
- カスタム算術回路の自動合成・検証手法
 - 従来手法に比較し、大幅な性能向上を実現し、著名論文誌発表。出口検討中

■ アーキテクチャ

- タイミング故障耐性
 - 論文発表と知財確保. 内外のメーカーとの協議
- 超高信頼アーキテクチャ
 - 次世代の宇宙用途の LSI として, 宇宙研などと協議中
- メニーコア
 - ディペンダビリティ向上方式の確立, 論文発表
 - 実用的な基盤環境の提供(ソフトウェアのウェブ公開)
 - FPGAプロトタイプシステムの販売
 - 半導体ベンダーへの方式提供、車載システム(組込みシステム)への展開, メーカーとの協議