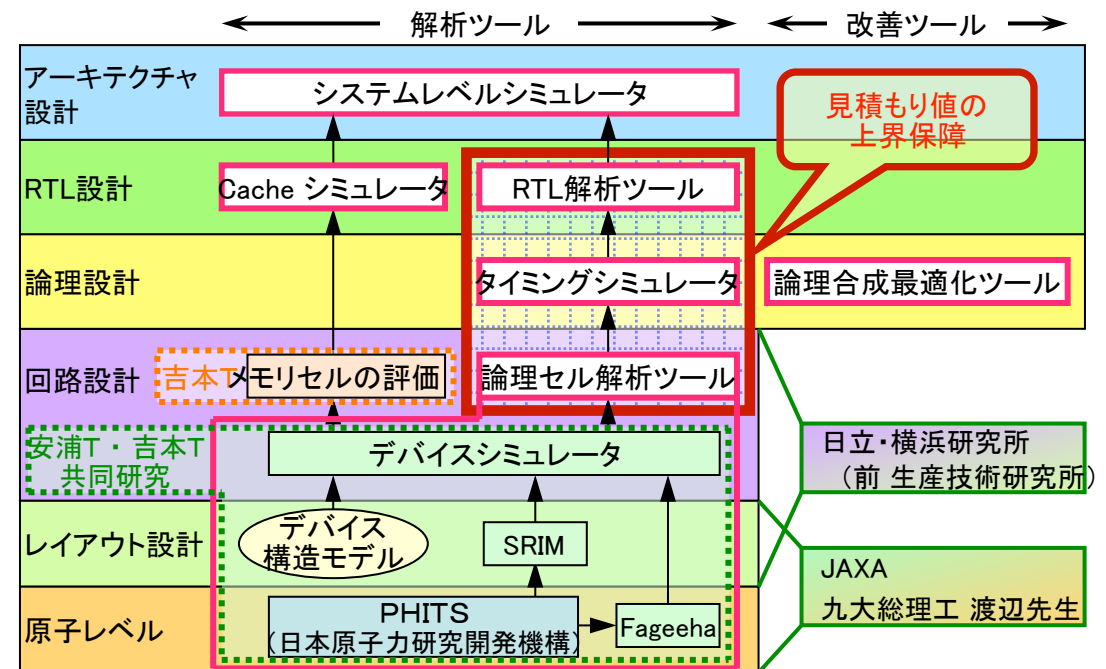


統合的高信頼化設計のためのモデル化と検出・訂正・回復技術

研究代表者 安浦 寛人(九州大学)

研究の動機と課題: 中性子線等に起因するソフトウェアなどの新しい外部擾乱に対する回路およびシステムレベルでの耐性を設計段階で効率よく評価・解析する手段が確立しておらず、多重化等のディペンダビリティ向上対策の効果をチップ製造前に見積もる事ができない。

主たる研究成果: 物理レベルの小規模・詳細な解析ツールの情報を利用して、回路およびシステムレベルの耐性を解析・評価するツールチェーン。(ソフトウェアの影響を確率的に解析する理論とその高速近似アルゴリズムおよび試作システム)



ソフトウェアの評価・解析ツールチェーン

用途: 汎用のデジタルVLSIシステムのアーキテクチャおよび回路設計時における耐擾乱特性の把握と、設計の改良による効果とオーバーヘッド(面積や性能、消費電力など)とのトレードオフの見積りを行って、産業的に意味のある設計技術の確立を可能にする。

成果の受取手: VLSIシステムの設計事業者またはEDAベンダー。

システムの利用者から見た視点: 性能や消費電力と同じように耐擾乱特性が仕様の一部として示され、VLSIシステムを部品として用いる際のディペンダビリティの一つの指標が明示される。VLSIを内蔵した最終製品のディペンダビリティを明示する際の重要な情報となり、最終製品を販売または運用する組織の社会的説明責任が果たされる。

時期: ツールチェーンが設計現場で利用できる形になるまでに、ツールの精度向上などの課題解決に数年はかかる。

価値と効果: ディペンダビリティを付加価値とする設計が効率的に行えるようになり、VLSIシステムの価値の向上につながる。