

CREST「ディペンダブルVLSIシステムの基盤技術」研究領域
平成24年度 第2回領域会議

制御向けLSIの視点からの DART技術への期待

2013/3/16

株式会社 日立製作所
日立研究所 グリーンモビリティ研究部

島村 光太郎

社会イノベーション事業

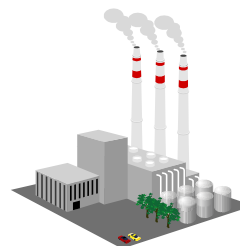
産業・交通・都市開発システム

- ・環境都市づくり
- ・グリーンモビリティ
- ・ヘルスケア
- ・水処理
- ・建設機械
- ・昇降機



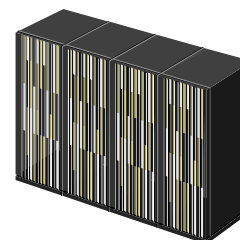
電力システム

- ・エネルギー
- ・スマートグリッド



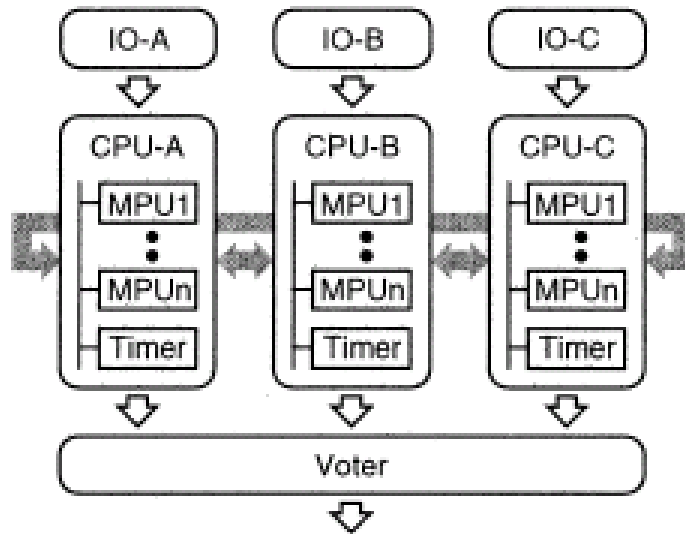
情報・通信システム

- ・クラウド
- ・コンサルティング
- ・ストレージ
- ・データセンタ



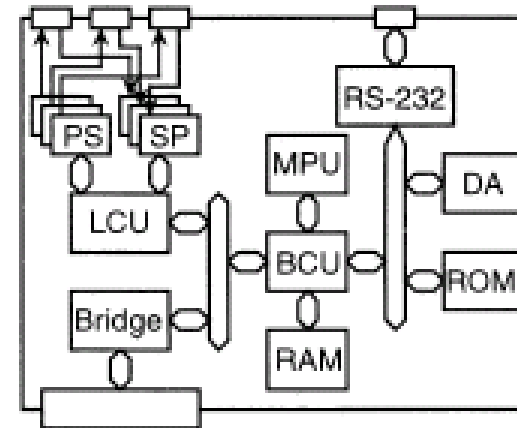
制御分野

無停止型制御装置(3重化多数決)



IO: Data Input Unit CPU: Processing Unit
MPU: Microprocessor

Fig. 1. Controller Configuration



PS: Parallel-to-Serial Converter
SP: Serial-to-Parallel Converter
LCU: Link Control Unit
MPU: Microprocessor
BCU: Bus Control Unit
DA: Digital-to-Analog Converter
RAM: Synchronous DRAM

Fig. 12. MPU Board Configuration

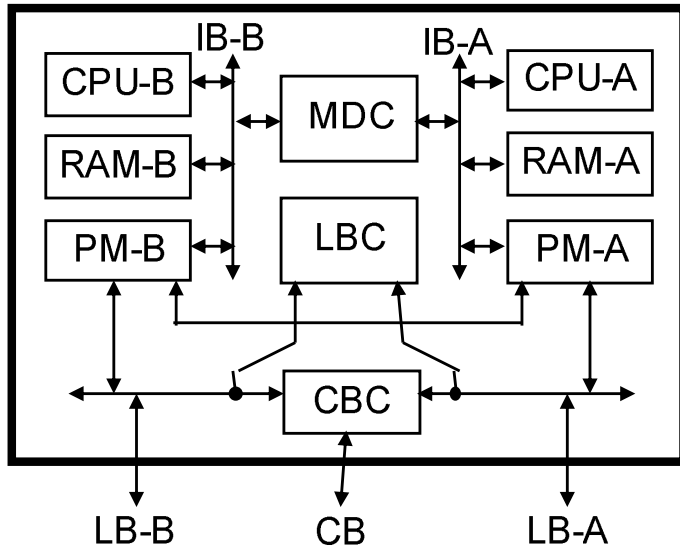
【高信頼化のための機能】

BCU: メモリエラー訂正

LCU: 同期、多数決(Voterで使用)

* 参考文献[1]より引用(© 1998 IEEE)

シングルチップ フェールセーフCPU



IB: Internal Bus MDC: Memory Data Comparator
 PM: Peripheral Modules
 LB: Local Bus LBC: Local Bus Comparator
 CB: Common Bus CBC: Common Bus Controller

Figure 1. Block diagram of the microprocessor

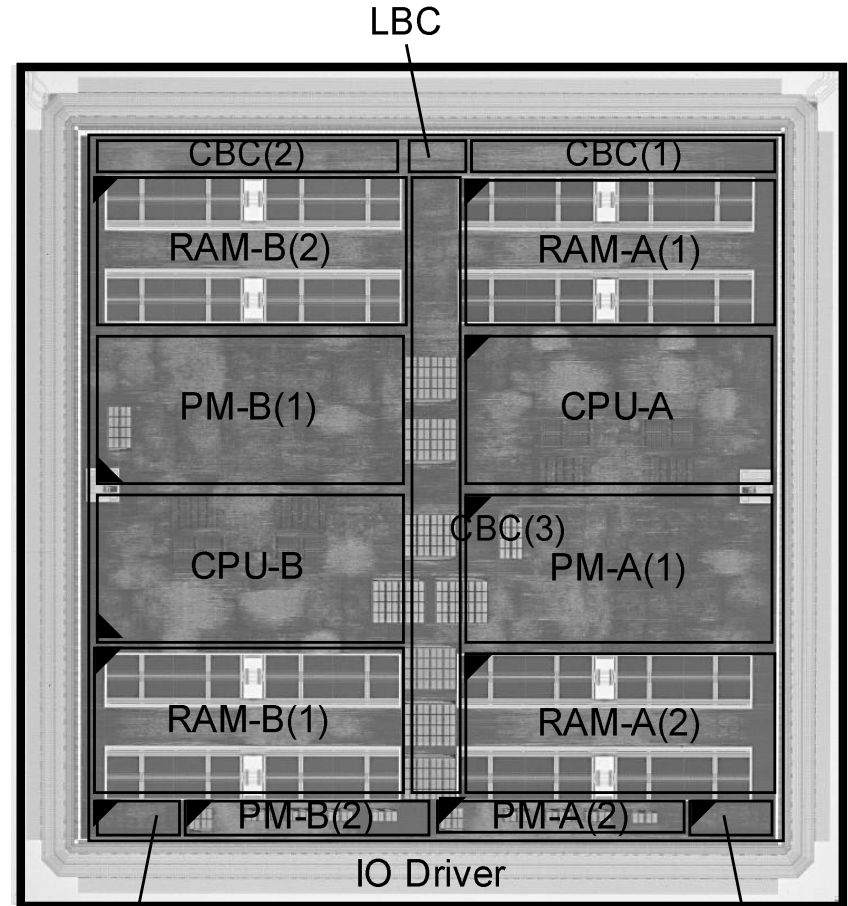


Figure 9. Chip photograph

Figure 8. Floor-plan of the microprocessor

*参考文献[2]より引用(© 2006 IEEE)

4. DART技術への期待

制御分野の特性	DART技術への期待
長期稼働	出荷前に劣化マージン計測し、 マージンの大きい部品を 選別して出荷
安全性への要求が高い	稼働中に劣化マージンを計測し、 誤動作発生前に安全に停止
誤動作原因解析要	装置搭載状態でのテスト
少量生産	FPGAのテスト

- [1] K. Shimamura et al.: “A Triple Redundant Controller Which Adopts the Time-Sharing Fault Recovery Method and Its Application to a Power Converter Controller,” Fourth IEEE Real-Time Technology and Applications Symposium, pp.210-219, (June 1998)
- [2] K. Shimamura et al.: “A Single-Chip Fail-Safe Microprocessor with Memory Data Comparison Feature,” 12th Pacific Rim International Symposium on Dependable Computing, pp.359-365, (December 2006)

HITACHI
Inspire the Next 